

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10247664 A**

(43) Date of publication of application: **14.09.98**

(51) Int. Cl.
H01L 21/60
H01L 21/3205
H01L 27/10
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: **09049085**

(22) Date of filing: **04.03.97**

(71) Applicant: **HITACHI LTD**

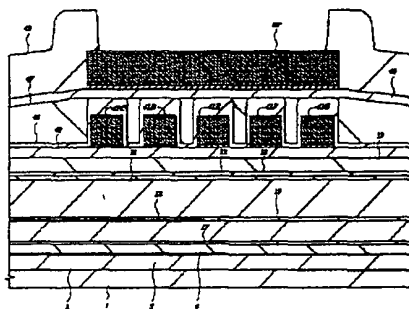
(72) Inventor:
UMAGOE MASASHI
SUWAUCHI NAOKATSU
OGISHIMA JUNJI

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND MANUFACTURE THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent separation of a bonding pad that is caused during a step wherein a semiconductor chip, in which upper and lower interconnections are made flat by using an insulating film comprising SOG(spin-on glass) film, is sealed into a tape carrier package.

SOLUTION: Dummy interconnections 41C-41G are formed below a bonding pad BP formed on a layer insulating film constituted of a three-layered film of a silicon oxide film 46, an SOG film 47 and a silicon oxide film 48. As a result, a direct contact area between the silicon oxide films 46 and 48 made of the same material is rendered large at the upper portions of the interconnections 41C-41G below the bonding pad BP, thereby improving the bonding property of the film.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-247664

(43) 公開日 平成10年(1998) 9月14日

(51) Int.Cl. ⁸	識別記号	F I
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60 3 1 1 R
21/3205		27/10 4 5 1
27/10	4 5 1	21/88 T
27/108		27/10 6 2 1 B
21/8242		6 5 1

審査請求 未請求 請求項の数19 O L (全 33 頁) 最終頁に続く

(21) 出願番号 特願平9-49085

(22) 出願日 平成9年(1997) 3月4日

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 馬越 雅士

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72) 発明者 諏訪内 尚克

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72) 発明者 荻島 淳史

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

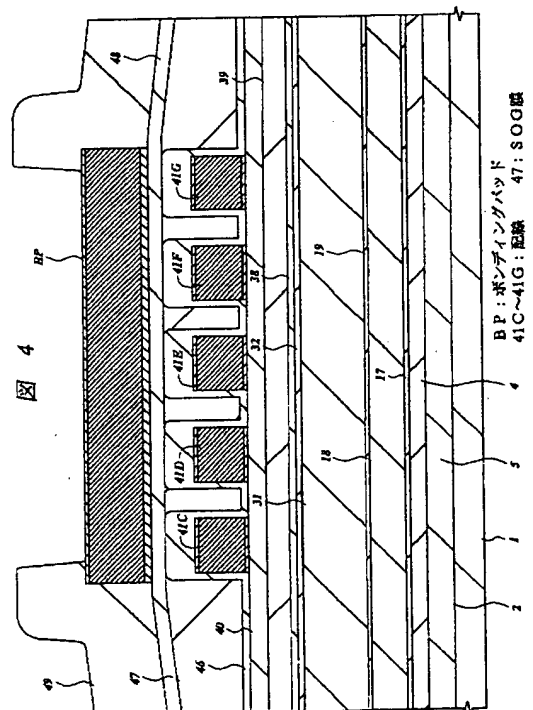
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 SOG (スピノングラス) 膜を含む絶縁膜を使って上下の配線間を平坦化した半導体チップをテープキャリアパッケージに封止する工程で生じるボンディングパッドの剥離を防止する。

【解決手段】 酸化シリコン膜46、SOG膜47および酸化シリコン膜48の3層膜で構成された層間絶縁膜上に形成したボンディングパッドBPの下層にダミーの配線41C~41Gを形成し、ボンディングパッドBPの下部の配線41C~41Gの上部において、同じ材料である酸化シリコン膜46、48同士が直接接触する面積を大きくして膜の接着性を向上させる。



【特許請求の範囲】

【請求項 1】 半導体チップの主面上に、少なくとも第 1 酸化シリコン膜と、スピンオングラス膜と、第 2 酸化シリコン膜との積層膜を含む層間絶縁膜が形成され、前記層間絶縁膜の上部にボンディングパッドが形成された半導体集積回路装置であって、前記ボンディングパッドの下部には、前記層間絶縁膜を介して複数の配線が所定のピッチで配置されており、少なくとも前記複数の配線の上部の前記スピンオングラス膜が取り除かれていることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置であって、前記複数の配線は、互いに平行に延在するパターンで配置されていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置であって、前記複数の配線は、互いに島状に分離されたパターンで配置されていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置であって、前記複数の配線は、電気的にフローティング状態のダミー配線であることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 記載の半導体集積回路装置であって、前記複数の配線の下部には、第 2 層間絶縁膜を介して第 2 配線が配置されていることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 記載の半導体集積回路装置であって、前記複数の配線のスペース領域に前記スピンオングラス膜が埋め込まれていることを特徴とする半導体集積回路装置。

【請求項 7】 半導体チップの主面の第 1 領域に、メモリセル選択用 M I S F E T とその上部に配置された情報蓄積用容量素子とで構成された D R A M のメモリセルが形成されると共に、前記情報蓄積用容量素子の上部に、少なくとも第 1 酸化シリコン膜と、スピンオングラス膜と、第 2 酸化シリコン膜との積層膜を含む層間絶縁膜が形成され、前記半導体チップの主面の第 2 領域の前記層間絶縁膜上にボンディングパッドが形成された半導体集積回路装置であって、前記ボンディングパッドの下部には、前記層間絶縁膜を介して複数の配線が所定のピッチで配置されており、少なくとも前記複数の配線の上部の前記スピンオングラス膜が取り除かれていることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 ～ 7 のいずれか 1 項に記載の半導体チップのボンディングパッド上にパンプ電極を介してリードの一端をボンディングしたことを特徴とするテープキャリアパッケージ型半導体集積回路装置。

【請求項 9】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体チップの主面の第 1 領域に半導体素子を形

成する工程、(b) 前記半導体素子の上部に 1 または複数層の層間絶縁膜を介して 1 または複数層の配線を形成する工程、(c) 前記 1 または複数層の配線のうちの最上層の配線を形成する工程で、前記半導体チップの主面の第 2 領域に複数の配線を所定のピッチで配置する工程、(d) 前記複数の配線を含む前記最上層の配線の上部に第 1 酸化シリコン膜を堆積した後、前記第 1 酸化シリコン膜の上部にスピンオングラス膜を塗布する工程、(e) 前記スピンオングラス膜をエッチバックすることにより、少なくとも前記複数の配線の上部の前記スピンオングラス膜を取り除く工程、(f) 前記半導体チップの主面上に第 2 酸化シリコン膜を堆積した後、前記第 2 酸化シリコン膜の上部に堆積した導電膜をパターンニングすることにより、前記複数の配線の上部にボンディングパッドを形成する工程。

【請求項 10】 請求項 9 記載の半導体集積回路装置の製造方法であって、前記複数の配線を互いに平行に延在するパターンで配置することを特徴とする半導体集積回路装置の製造方法。

【請求項 11】 請求項 9 記載の半導体集積回路装置の製造方法であって、前記複数の配線を互いに島状に分離されたパターンで配置することを特徴とする半導体集積回路装置の製造方法。

【請求項 12】 請求項 9 記載の半導体集積回路装置の製造方法であって、前記複数の配線を電気的にフローティング状態のダミー配線とすることを特徴とする半導体集積回路装置の製造方法。

【請求項 13】 請求項 9 記載の半導体集積回路装置の製造方法であって、前記 (b) 工程で前記ボンディングパッドの下層に 1 または複数層の配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 14】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体チップの主面上に第 1 導電膜を堆積した後、前記第 1 導電膜をパターンニングすることにより、前記半導体チップの主面の第 1 領域に D R A M のメモリセルの一部を構成するメモリセル選択用 M I S F E T のゲート電極を形成し、前記半導体チップの主面の第 2 領域に前記 D R A M の周辺回路を構成する M I S F E T のゲート電極を形成する工程、(b) 前記メモリセル選択用 M I S F E T と前記周辺回路の M I S F E T との上部に第 1 絶縁膜を介して第 2 導電膜を堆積した後、前記第 2 導電膜をパターンニングすることにより、前記メモリセル選択用 M I S F E T のソース領域、ドレイン領域の一方に接続されるビット線と前記周辺回路の M I S F E T のソース領域、ドレイン領域の一方に接続される周辺回路の第 1 層配線とを形成する工程、(c) 前記ビット線と前記第 1 配線との上部に第 2 絶縁膜を介して第 3 導電膜を堆積した後、前記第 3 導電膜をパターンニングすることにより、前記メモリセル選択用 M I S F E T のソース領

域、ドレイン領域の他方に接続される情報蓄積用容量素子の下部電極を形成する工程、(d)前記情報蓄積用容量素子の下部電極の上部に第3絶縁膜を介して第4導電膜を堆積した後、前記第4導電膜と前記第3絶縁膜とをパターニングすることにより、前記情報蓄積用容量素子の上部電極と容量絶縁膜とを形成する工程、(e)前記情報蓄積用容量素子の上部に第4絶縁膜を介して第5導電膜を堆積した後、前記第5導電膜をパターニングすることにより、前記情報蓄積用容量素子の上部電極に接続される配線と周辺回路の第2層配線とを形成する工程、(f)前記(e)工程で前記第5導電膜をパターニングすることにより、前記半導体チップの主面の第3領域に複数の配線を所定のピッチで配置する工程、(g)前記情報蓄積用容量素子の上部電極に接続される配線と前記周辺回路の第2層配線と前記複数の配線との上部に第1酸化シリコン膜を堆積した後、前記第1酸化シリコン膜の上部にスピノングラス膜を塗布する工程、(h)前記スピノングラス膜をエッチバックすることにより、少なくとも前記複数の配線の上部の前記スピノングラス膜を取り除く工程、(i)前記半導体チップの主面上に第2酸化シリコン膜を堆積した後、前記第2酸化シリコン膜の上部に堆積した第6導電膜をパターニングすることにより、前記複数の配線の上部にボンディングパッドを形成する工程。

【請求項15】 請求項14記載の半導体集積回路装置の製造方法であって、前記第1～第4導電膜のうちの少なくとも1層の導電膜をパターニングする工程で、前記ボンディングパッドの下層に1または複数層の配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項16】 以下の工程を含むことを特徴とするテープキャリアパッケージ型半導体集積回路装置の製造方法；

(a)請求項1～7のいずれか1項に記載の半導体チップと、少なくともその一面にリードが形成された絶縁テープとを用意する工程、(b)前記半導体チップのボンディングパッド上に金属ボールをワイヤボンディングする工程、(c)前記金属ボールの表面を平坦化することにより、前記ボンディングパッド上にバンパ電極を形成する工程、(d)前記絶縁テープに形成されたリードの一端部を前記バンパ電極上にボンディングする工程。

【請求項17】 請求項16記載の製造方法によって得られたテープキャリアパッケージ型半導体集積回路装置をプリント配線基板に複数個積層して実装したことを特徴とするマルチチップモジュール型半導体集積回路装置。

【請求項18】 半導体チップの主面上に、少なくとも第1絶縁膜と、平坦化膜と、第2絶縁膜との積層膜を含む層間絶縁膜が形成され、前記層間絶縁膜の上部にボンディングパッドが形成された半導体集積回路装置であっ

て、前記ボンディングパッドの下部には、前記層間絶縁膜を介して複数の配線が配置されており、少なくとも前記複数の配線の上部において、前記第1絶縁膜と前記第2絶縁膜とが接触するように構成され、前記第1絶縁膜と前記第2絶縁膜との接着力は、前記第1絶縁膜または前記第2絶縁膜と前記平坦化膜との接着力よりも大きいことを特徴とする半導体集積回路装置。

【請求項19】 請求項18記載の半導体集積回路装置であって、前記第1絶縁膜と前記第2絶縁膜とは、同一の絶縁材料で構成されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、スピノングラス(Spin On Glass; SOG)膜を含んだ絶縁膜を使って上下の配線間を平坦化した半導体チップをテープキャリアパッケージ(Tape Carrier Package; TCP)に封止する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】近年の大容量DRAM(Dynamic Random Access Memory)は、メモリセルの微細化に伴う情報蓄積用容量素子(キャパシタ)の蓄積電荷量の減少を補うために、情報蓄積用容量素子をメモリセル選択用MISFETの上部に配置するスタックド・キャパシタ(stacked capacitor)構造を採用していることから、メモリアレイと周辺回路との間にほぼ情報蓄積用容量素子の高さに相当する分の段差(標高差)が生じる。ところが、このような段差上に配線を形成すると、段差部にエッチング残りが生じたり、フォトリソグラフィ時に露光光の焦点ずれが生じたりするために、配線を精度良く加工することができなくなり、短絡不良などが発生する。

【0003】そこで、このような問題を解決するために、下層の配線と上層の配線とを絶縁する層間絶縁膜の平坦化技術が不可欠となっている。

【0004】層間絶縁膜を平坦化するには、通常、一層の絶縁膜のみでは困難であることから、従来より、配線上にCVD(chemical Vapor Deposition)法で酸化シリコン膜を堆積した後、配線間スペースに生じた酸化シリコン膜の凹部にスピノングラス(SOG)膜を埋め込むことが行われている。例えば特開平3-72693号公報には、配線上にプラズマCVD法で酸化シリコン膜を堆積した後、その上部にSOG膜をスピノ塗布し、これを熱処理(ベーク)して緻密化した後、エッチバックによりその表面を平坦化し、さらにその上部にプラズマCVD法で第2の酸化シリコン膜を堆積する平坦化技術が記載されている。

【0005】

【発明が解決しようとする課題】本発明者は、上記のようなSOG膜を含んだ絶縁膜を使って上下の配線層間を

平坦化した半導体チップをLSIパッケージに封止する際、半導体チップの主面（素子形成面）に形成したボンディングパッド上にリードをボンディングしたときに加わる衝撃によって、ボンディングパッドがその下部の絶縁膜の一部と共にSOG膜との界面で剥離することがあるという問題を見出した。

【0006】これは、図42(a)に示すように、ボンディングパッドBPの下部のような大面積で平坦な領域には、エッチバックを行ってもSOG膜100が残りやすく、その場合は、SOG膜100と酸化シリコン膜101との界面が剥離しやすい。そのため、ボンディングパッドBPの接着性の低下を招き、最悪の場合には、図42(b)に示すように、ボンディングパッドBPがその下部の酸化シリコン膜101と共にSOG膜100の界面で剥離する。他方、図示は省略するが、多数の配線が形成されている領域では、SOG膜は配線間スペースに生じた酸化シリコン膜の凹部に埋め込まれ、配線上には残らない。

【0007】DRAMなどのメモリLSIを形成した半導体チップを封止するパッケージには、TCP(Tape Carrier Package)、TSOP(Thin Small Outline Package)、TSOJ(Thin Small Outline J-lead package)などがあるが、とりわけ「後工程バンパ方式」と呼ばれる組み立て方式によって製造したTCPは、ボンディングパッドに加わる衝撃が大きいために上記した剥離が生じ易い。

【0008】通常、TCPの組み立て工程では、片面にリードを形成した絶縁テープのデバイスホール内に半導体チップを配置し、あらかじめ前工程（ウエハプロセス）で半導体チップのパッド上に形成しておいたバンパ電極上にリードの一端部（インナーリード部）をボンディングしてリードとボンディングパッドを電氣的に接続する。従って、この場合は、ボンディングパッドに加わる衝撃が一回で済むので、ボンディングパッドの剥離も比較的生じ難い。

【0009】これに対し、「後工程バンパ方式」では、まず図43(a)に示すように、ワイヤボンディング装置を使ってボンディングパッドBP上にAuボール102Aをボンディングする（バンパ付け工程）。次に、図43(b)に示すように、このAuボール102Aの表面をツール103で平坦化して高さの揃ったバンパ電極102を形成する（フラットニング工程）。その後、図43(c)に示すように、このバンパ電極102上にリード104の一端部（インナーリード部）をボンディングしてリード104とボンディングパッドBPを電氣的に接続する（リード付け工程）。

【0010】上記した「後工程バンパ方式」は、プリント配線基板上にTCPを積層してメモリモジュールを作製する際などに、ボンディングパッド上のバンパ電極の有り無しによってチップセレクト信号を検出することが

できるので、TCPを使ったメモリモジュールの設計が容易になるという利点がある。しかし、この方式は、ボンディングパッド上にAuボールをボンディングする時と、このAuボールの表面をツールで平坦化してバンパ電極を形成する時と、このバンパ電極上にリードをボンディングする時の合計3回、ボンディングパッドに衝撃が加わるのでパッド下の絶縁膜に大きなストレスがかかり、その結果、前記図42(a)、(b)に示すように、絶縁膜同士の接着性が低下してSOG膜100の界面で剥離が生じ易くなる。

【0011】本発明の目的は、スピニングラス膜を含んだ絶縁膜を使って上下の配線間を平坦化した半導体チップをテープキャリアパッケージに封止する工程で生じるボンディングパッドの剥離を防止することのできる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】(1) 本発明の半導体集積回路装置は、半導体チップの主面上に、少なくとも第1酸化シリコン膜と、スピニングラス膜と、第2酸化シリコン膜との積層膜を含む層間絶縁膜が形成され、前記層間絶縁膜の上部にボンディングパッドが形成され、前記ボンディングパッドの下部には、前記層間絶縁膜を介して複数の配線が所定のピッチで配置されており、少なくとも前記複数の配線の上部の前記スピニングラス膜が取り除かれている。

【0015】(2) 本発明の半導体集積回路装置は、前記複数の配線が互いに平行に延在するパターンで配置されている。

【0016】(3) 本発明の半導体集積回路装置は、前記複数の配線が互いに島状に分離されたパターンで配置されている。

【0017】(4) 本発明の半導体集積回路装置は、前記複数の配線が電氣的にフローティング状態のダミー配線である。

【0018】(5) 本発明の半導体集積回路装置は、前記複数の配線の下部に第2層間絶縁膜を介して第2配線が配置されている。

【0019】(6) 本発明の半導体集積回路装置は、前記複数の配線のスペース領域に前記スピニングラス膜が埋め込まれている。

【0020】(7) 本発明の半導体集積回路装置は、半導体チップの主面の第1領域に、メモリセル選択用MISFETとその上部に配置された情報蓄積用容量素子とで構成されたDRAMのメモリセルが形成されると共

に、前記情報蓄積用容量素子の上部に、少なくとも第1酸化シリコン膜と、スピノングラス膜と、第2酸化シリコン膜との積層膜を含む層間絶縁膜が形成され、前記半導体チップの主面の第2領域の前記層間絶縁膜上にボンディングパッドが形成され、前記ボンディングパッドの下部には、前記層間絶縁膜を介して複数の配線が所定のピッチで配置されており、少なくとも前記複数の配線の上部の前記スピノングラス膜が取り除かれている。

【0021】(8) 本発明の半導体集積回路装置は、前記半導体チップのボンディングパッド上にバンプ電極を介してリードの一端をボンディングしたテープキャリアパッケージである。

【0022】(9) 本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

【0023】(a) 半導体チップの主面の第1領域に半導体素子を形成する工程、(b) 前記半導体素子の上部に1または複数層の層間絶縁膜を介して1または複数層の配線を形成する工程、(c) 前記1または複数層の配線のうちの最上層の配線を形成する工程で、前記半導体チップの主面の第2領域に複数の配線を所定のピッチで配置する工程、(d) 前記複数の配線を含む前記最上層の配線の上に第1酸化シリコン膜を堆積した後、前記第1酸化シリコン膜の上にスピノングラス膜を塗布する工程、(e) 前記スピノングラス膜をエッチバックすることにより、少なくとも前記複数の配線の上部の前記スピノングラス膜を取り除く工程、(f) 前記半導体チップの主面上に第2酸化シリコン膜を堆積した後、前記第2酸化シリコン膜の上に堆積した導電膜をパターニングすることにより、前記複数の配線の上にボンディングパッドを形成する工程。

【0024】(10) 本発明の半導体集積回路装置の製造方法は、前記複数の配線を互いに平行に延在するパターンで配置する。

【0025】(11) 本発明の半導体集積回路装置の製造方法は、前記複数の配線を互いに島状に分離されたパターンで配置する。

【0026】(12) 本発明の半導体集積回路装置の製造方法は、前記複数の配線を電氣的にフローティング状態のダミー配線とすることを特徴とする。

【0027】(13) 本発明の半導体集積回路装置の製造方法は、前記(b)工程で前記ボンディングパッドの下層に1または複数層の配線を形成する。

【0028】(14) 本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

(a) 半導体チップの主面上に第1導電膜を堆積した後、前記第1導電膜をパターニングすることにより、前記半導体チップの主面の第1領域にDRAMのメモリセルの一部を構成するメモリセル選択用MISFETのゲート電極を形成し、前記半導体チップの主面の第2領域に前記DRAMの周辺回路を構成するMISFETのゲ

ート電極を形成する工程、(b) 前記メモリセル選択用MISFETと前記周辺回路のMISFETとの上部に第1絶縁膜を介して第2導電膜を堆積した後、前記第2導電膜をパターニングすることにより、前記メモリセル選択用MISFETのソース領域、ドレイン領域の一方に接続されるビット線と前記周辺回路のMISFETのソース領域、ドレイン領域の一方に接続される周辺回路の第1層配線とを形成する工程、(c) 前記ビット線と前記第1層配線との上部に第2絶縁膜を介して第3導電膜を堆積した後、前記第3導電膜をパターニングすることにより、前記メモリセル選択用MISFETのソース領域、ドレイン領域の他方に接続される情報蓄積用容量素子の下部電極を形成する工程、(d) 前記情報蓄積用容量素子の下部電極の上に第3絶縁膜を介して第4導電膜を堆積した後、前記第4導電膜と前記第3絶縁膜とをパターニングすることにより、前記情報蓄積用容量素子の上部電極と容量絶縁膜とを形成する工程、(e) 前記情報蓄積用容量素子の上部に第4絶縁膜を介して第5導電膜を堆積した後、前記第5導電膜をパターニングすることにより、前記情報蓄積用容量素子の上部電極に接続される配線と周辺回路の第2層配線とを形成する工程、

(f) 前記(e)工程で前記第5導電膜をパターニングすることにより、前記半導体チップの主面の第3領域に複数の配線を所定のピッチで配置する工程、(g) 前記情報蓄積用容量素子の上部電極に接続される配線と前記周辺回路の第2層配線と前記複数の配線との上部に第1酸化シリコン膜を堆積した後、前記第1酸化シリコン膜の上にスピノングラス膜を塗布する工程、(h) 前記スピノングラス膜をエッチバックすることにより、少なくとも前記複数の配線の上部の前記スピノングラス膜を取り除く工程、(i) 前記半導体チップの主面上に第2酸化シリコン膜を堆積した後、前記第2酸化シリコン膜の上に堆積した第6導電膜をパターニングすることにより、前記複数の配線の上にボンディングパッドを形成する工程。

【0029】(15) 本発明の半導体集積回路装置の製造方法は、前記第1～第4導電膜のうちの少なくとも1層の導電膜をパターニングする工程で、前記ボンディングパッドの下層に1または複数層の配線を形成する。

【0030】(16) 本発明のテープキャリアパッケージの製造方法は、以下の工程を含んでいる。

【0031】(a) 主面上に、少なくとも第1酸化シリコン膜と、スピノングラス膜と、第2酸化シリコン膜との積層膜を含む層間絶縁膜が形成され、前記層間絶縁膜の上にボンディングパッドが形成され、前記ボンディングパッドの下部には、前記層間絶縁膜を介して複数の配線が所定のピッチで配置されており、少なくとも前記複数の配線の上部の前記スピノングラス膜が取り除かれている半導体チップと、少なくともその一面にリードが形成された絶縁テープとを用意する工程、(b) 前

記半導体チップのボンディングパッド上に金属ボールをワイヤボンディングする工程、(c)前記金属ボールの表面を平坦化することにより、前記ボンディングパッド上にバンプ電極を形成する工程、(d)前記絶縁テープに形成されたリードの一端部を前記バンプ電極上にボンディングする工程。

【0032】(17)本発明のマルチチップモジュールは、前記テープキャリアパッケージをプリント配線基板に複数個積層して実装したものである。

【0033】(18)本発明の半導体集積回路装置は、半導体チップの主面上に、少なくとも第1絶縁膜と、平坦化膜と、第2絶縁膜との積層膜を含む層間絶縁膜が形成され、前記層間絶縁膜の上部にボンディングパッドが形成された半導体集積回路装置であって、前記ボンディングパッドの下部には、前記層間絶縁膜を介して複数の配線が配置されており、少なくとも前記複数の配線の上部において、前記第1絶縁膜と前記第2絶縁膜とが接触するように構成され、前記第1絶縁膜と前記第2絶縁膜との接着力は、前記第1絶縁膜または前記第2絶縁膜と前記平坦化膜との接着力よりも大きい。

【0034】(19)本発明の半導体集積回路装置は、前記第1絶縁膜と前記第2絶縁膜とが同一の絶縁材料で構成されている。

【0035】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0036】図1は、本実施の形態のDRAMを形成した半導体チップの全体平面図、図2は、その一部を示す拡大平面図である。

【0037】単結晶シリコンからなる主面には、例えば64Mbit(メガビット)の容量を有するDRAMが形成されている。図1に示すように、このDRAMは、8個に分割されたメモリマットMMとそれらの周囲に配置された周辺回路PCとで構成されている。8Mbitの容量を有するメモリマットMMのそれぞれは、図2に示すように、16個のメモリアレイMARYに分割されている。メモリアレイMARYのそれぞれは、行列状に配置された2Kbit(キロビット)×256bit=512Kbitのメモリセルで構成されており、それらの周囲には、センスアンプSAやワードドライバWDなどの周辺回路(PC)が配置されている。メモリマットMMに挟まれた半導体チップ1Aの中央部には、この半導体チップ1Aを封止するLSIパッケージの外部接続端子(リード)が接続される複数のボンディングパッドBPが1列に配置されている。

【0038】図3および図4は、上記DRAMが形成された半導体チップ1Aの要部を示す断面図である。図3の左側部分は、メモリアレイ(MARY)とそれに隣接

する周辺回路(PC)の各一部を示しており、同図の右側部分と図4は、パッド形成領域を示している。

【0039】p⁻型の単結晶シリコンからなる半導体基板1には、メモリアレイ(MARY)および周辺回路(PC)に共通のp型ウエル2が形成されている。p型ウエル2の表面には素子分離用のフィールド酸化膜4が形成されており、このフィールド酸化膜4の下部を含むp型ウエル2の内部にはp型チャンネルストッパ層5が形成されている。

【0040】メモリアレイ(MARY)のp型ウエル2のアクティブ領域には、DRAMのメモセルが形成されている。メモセルのそれぞれは、nチャンネル型で構成された一つのメモセル選択用MISFETQ_tとその上部に形成され、メモセル選択用MISFETQ_tと直列に接続された一つの情報蓄積容量素子Cとで構成されている。すなわち、このメモセルは、メモセル選択用MISFETQ_tの上部に情報蓄積容量素子Cを配置するスタックド・キャパシタ構造で構成されている。

【0041】メモセル選択用MISFETQ_tは、ゲート酸化膜7、ワード線WLと一体に形成されたゲート電極8A、ソース領域およびドレイン領域(n型半導体領域9、9)、ソース領域とドレイン領域との間のp型ウエル2の形成されたチャンネル領域(図示せず)で構成されている。ゲート電極8A(ワード線WL)は、n型の不純物(例えばP(リン))をドーブした低抵抗の多結晶シリコン膜とW(タングステン)シリサイド(WSi₂)膜とを積層した2層の導電膜、または低抵抗の多結晶シリコン膜とTiN(チタンナイトライド)膜とW(タングステン)膜とを積層した3層の導電膜で構成されている。ゲート電極8A(ワード線WL)の上部には窒化シリコン膜10が形成されており、側壁には窒化シリコンのサイドウォールスペーサ11が形成されている。これらの絶縁膜(窒化シリコン膜10およびサイドウォールスペーサ11)は、窒化シリコン膜に代えて酸化シリコン膜で構成することもできる。

【0042】周辺回路(PC)のp型ウエル2のアクティブ領域には、nチャンネル型MISFETQ_nが形成されており、図示しない領域にはpチャンネル型MISFETが形成されている。すなわち、この周辺回路(PC)は、nチャンネル型MISFETQ_nとpチャンネル型MISFETとを組み合わせたCMOS(Complementary Metal Oxide Semiconductor)回路で構成されている。

【0043】周辺回路(PC)のnチャンネル型MISFETQ_nは、ゲート酸化膜7、ゲート電極8B、ソース領域およびドレイン領域、ソース領域とドレイン領域との間のp型ウエル2の形成されたチャンネル領域(図示せず)で構成されている。ゲート電極8Bは、前記メモセル選択用MISFETQ_tのゲート電極8A(ワード線WL)と同じ導電膜で構成されている。ゲート電極8

Bの上部には窒化シリコン膜10が形成されており、側壁には窒化シリコンのサイドウォールスペーサ11が形成されている。nチャネル型MISFETQnのソース領域、ドレイン領域のそれぞれは、低不純物濃度のn型半導体領域9と高不純物濃度のn⁺型半導体領域13とからなるLDD(Lightly Doped Drain)構造で構成されており、n⁺型半導体領域13の表面にはTi(チタン)シリサイド(TiSi₂)層16が形成されている。

【0044】メモリアル選択用MISFETQtおよびnチャネル型MISFETQnの上部には、下層から順に酸化シリコン膜17、BPSG(Boron-doped Phospho Silicate Glass)膜18および酸化シリコン膜19が形成されている。

【0045】メモリアルレイ(MARY)の酸化シリコン膜19の上部には、TiN膜とW膜とを積層した2層の導電膜で構成されたビット線BLが形成されている。ビット線BLは、リン(P)またはヒ素(As)をドーピングした多結晶シリコンのプラグ20を埋め込んだ接続孔21を通じてメモリアル選択用MISFETQtのソース領域、ドレイン領域の一方(n型半導体領域9)と電気的に接続されている。また、ビット線BLの一端部は、接続孔23を通じて周辺回路(PC)のnチャネル型MISFETQnのソース領域、ドレイン領域の一方(n⁺型半導体領域13)と電気的に接続されている。このn⁺型半導体領域13の表面には低抵抗のTiシリサイド層16が形成されているので、ビット線BLのコンタクト抵抗を低減することができる。

【0046】周辺回路(PC)の酸化シリコン膜19の上部には第1層目の配線30が形成されている。配線30は、前記ビット線BLと同様、TiN膜とW膜とを積層した2層の導電膜で構成されている。配線30の一端は、接続孔24を通じてnチャネル型MISFETQnのソース領域、ドレイン領域の他方(n⁺型半導体領域13)と電気的に接続されている。このn⁺型半導体領域13の表面には低抵抗のTiシリサイド層16が形成されているので、配線30のコンタクト抵抗を低減することができる。

【0047】ビット線BLおよび第1層目の配線30の上部には窒化シリコン膜27が形成されており、側壁には窒化シリコンのサイドウォールスペーサ29が形成されている。ビット線BLおよび配線30のさらに上部には、SOG膜31および酸化シリコン膜32が形成されている。メモリアルレイ(MARY)の酸化シリコン膜32の上部には、蓄積電極(下部電極)33、容量絶縁膜34およびプレート電極(上部電極)35で構成された情報蓄積容量素子Cが形成されている。

【0048】情報蓄積容量素子Cの蓄積電極33は、W膜で構成されており、W(または多結晶シリコン)のプラグ36を埋め込んだ接続孔37および多結晶シリコンのプラグ20を埋め込んだ接続孔22を通じてメモリ

セル選択用MISFETQtのソース領域、ドレイン領域の他方(n型半導体領域9)と電気的に接続されている。容量絶縁膜34はTa₂O₅(酸化タンタル)膜で構成されており、プレート電極35はTiN膜で構成されている。

【0049】情報蓄積容量素子Cの上部には、酸化シリコン膜38、SOG膜39および酸化シリコン膜40の3層膜で構成された層間絶縁膜が形成されている。この層間絶縁膜の上部には、情報蓄積容量素子Cのプレート電極(上部電極)にプレート電圧(V_{dd}/2)を供給する配線41Aおよび周辺回路(PC)の第2層目の配線41Bが形成されている。配線41Aは、情報蓄積容量素子Cのプレート電極35の上部の層間絶縁膜(酸化シリコン膜40、SOG膜39および酸化シリコン膜38)に開孔した接続孔42を通じてプレート電極35と電気的に接続されている。この接続孔42の内部には、Wのプラグ44が埋め込まれている。

【0050】パッド形成領域の層間絶縁膜(酸化シリコン膜40、SOG膜39および酸化シリコン膜38)の上部には、実質的に配線としての機能を有しない、電気的にフローティング状態の配線(ダミー配線)41C~41Gが所定のピッチで密に配置されている。配線41A、41Bおよび配線(ダミー配線)41C~41Gは、下層から順にTiN膜、Si(シリコン)とCu(銅)とを添加したAl(アルミニウム)合金膜およびTiN膜を積層した3層膜で構成されている。

【0051】配線41A~41Gの上部には、酸化シリコン膜46、SOG膜47および酸化シリコン膜48の3層膜で構成された層間絶縁膜を介してボンディングパッドBPおよび第3層目の配線45が形成されている。配線45は、層間絶縁膜(酸化シリコン膜46、SOG膜47および酸化シリコン膜48)に開孔した接続孔26を通じて第2層目の配線41Bと電気的に接続されている。この接続孔26の内部には、Wのプラグ43が埋め込まれている。ボンディングパッドBPおよび配線45は、例えばW膜、Al合金膜およびW膜を積層した3層膜で構成されている。

【0052】ボンディングパッドBPの上部を除く半導体チップ1Aの表面には

、パッシベーション膜49が形成されている。パッシベーション膜49は、例えば酸化シリコン膜と窒化シリコン膜との2層膜で構成されている。

【0053】図5は、上記ボンディングパッドBPの平面図である

。ボンディングパッドBPは

、寸法が縦×横

≒約100μm×100μm程度の四角い平面パターンを有しており、その上には後述するTCP(テープキャリアパッケージ)の組み立て工程でリードの一端部がボンディングされる。

【0054】ボンディングパッドBPの下部には、前記配線(ダミー配線)41C~41Gが所定のピッチでス

トライブ状に配置されている。図4に示すように、ボンディングパッドBPとその下層の配線41C~41Gとの間には、酸化シリコン膜46、SOG膜47および酸化シリコン膜48の3層膜で構成された層間絶縁膜が形成されているが、この層間絶縁膜の中間層であるSOG膜47は、密に配置された配線41C~41Gの狭いスペース領域のみに形成されており、配線41C~41Gの上部には形成されていない。すなわち、ボンディングパッドBPの下部の層間絶縁膜は、その大部分が酸化シリコン膜46と酸化シリコン膜48の2層膜で構成されており、構成された領域は、配線41C~41Gの狭いスペース領域のみに限られている。

【0055】このように、本実施の形態のDRAMは、平坦性に優れた酸化シリコン膜46、SOG膜47、酸化シリコン膜48の3層膜で層間絶縁膜を構成することによって、メモリアレイ(MARY)と周辺回路(PC)との間の段差を緩和すると共に、ボンディングパッドBPの下部の層間絶縁膜は、酸化シリコン膜46、48に対する接着性が比較的低いSOG膜47の占有面積を減らし、配線41C~41Gの上部で同じ材料である酸化シリコン膜46、48同士が直接接触する面積を増やすことによって、膜の接着性を向上させている。すなわち、層間絶縁膜を構成する3層の絶縁膜(酸化シリコン膜46、SOG膜47、酸化シリコン膜48)のうち、酸化シリコン膜46と酸化シリコン膜48との接着力は、酸化シリコン膜46とSOG膜47および酸化シリコン膜48とSOG膜47との接着力よりも大きいので、酸化シリコン膜46、48同士が直接接触する面積が増えるように配線41C~41Gを配置している。なお、層間絶縁膜を構成する3層の絶縁膜のうち、SOG膜47を挟んだ上下2層の絶縁膜は必ずしも同じ材料である必要はなく、相互の接着力がSOG膜47との接着力よりも大きい材料であれば、任意のものを使用することができる。

【0056】次に、本実施の形態のDRAMの製造方法を図6~図29を用いて詳細に説明する。

【0057】まず、図6に示すように、1~10Ωcm程度の比抵抗を有するp⁺型の半導体基板1の表面に選択酸化(LOCOS)法でフィールド酸化膜4を形成した後、メモリセルを形成する領域(メモリアレイMARY)と周辺回路(PC)のnチャネル型MISFETを形成する領域の半導体基板1にp型不純物(ホウ素(B))をイオン注入してp型ウエル2を形成し、続いて、p型ウエル2にp型不純物(B)をイオン注入してp型チャネルストッパ層5を形成する。なお、半導体基板1の図示しない領域にはn型ウエルが形成され、このn型ウエルには、周辺回路(PC)の一部を構成するpチャネル型MISFETが形成されるが、その製造プロセスの説明は省略する。

【0058】次に、p型ウエル2のフィールド酸化膜4

で囲まれたアクティブ領域の表面に熱酸化法でゲート酸化膜7を形成し、さらにこのゲート酸化膜7を通じてp型ウエル2にMISFETのしきい値電圧(V_{th})を調整するための不純物をイオン注入する。p型ウエル2を形成するためのイオン注入、p型チャネルストッパ層5を形成するためのイオン注入およびMISFETのしきい値電圧(V_{th})を調整するためのイオン注入は、同一のフォトリソマスクを使って同一工程で形成してもよい。また、メモリセル選択用MISFETQ_tのしきい値電圧(V_{th})を調整するためのイオン注入と周辺回路(PC)のnチャネル型MISFETQ_nのしきい値電圧(V_{th})を調整するためのイオン注入を別工程で行い、しきい値電圧(V_{th})をそれぞれのMISFETで独立に調整してもよい。

【0059】次に、図7に示すように、メモリセル選択用MISFETQ_tのゲート電極8A(ワード線WL)およびnチャネル型MISFETQ_nのゲート電極8Bを形成する。ゲート電極8A(ワード線WL)およびゲート電極8Bは、例えば半導体基板1上にCVD法でn型の多結晶シリコン膜、WSi₂膜および窒化シリコン膜10を順次堆積した後、フォトリソをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。あるいはCVD法でn型の多結晶シリコン膜を堆積し、次いでスパッタリング法でTiN膜とW膜とを堆積し、さらにCVD法で窒化シリコン膜10を堆積した後、フォトリソをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。TiN膜は、多結晶シリコン膜とW膜との反応を防止するバリアメタルとして使用される。ゲート電極8A(ワード線WL)およびゲート電極8Bは、例えばn型の多結晶シリコン膜上にTiN膜(またはWN(タングステンナイトライド)膜)とTiシリサイド膜とを積層した3層の導電膜など、より低抵抗の材料で構成することによって、そのシート抵抗をさらに低減することができる。

【0060】次に、図8に示すように、p型ウエル2にn型不純物(P)をイオン注入してメモリセル選択用MISFETQ_tのn型半導体領域9とnチャネル型MISFETQ_nのn型半導体領域9とをゲート電極8A、8Aに対して自己整合(セルフアライン)で形成する。このとき、メモリセル選択用MISFETQ_tのn型半導体領域9を形成するためのイオン注入と、nチャネル型MISFETQ_nのn型半導体領域9を形成するためのイオン注入とを別工程で行い、ソース領域、ドレイン領域の不純物濃度をそれぞれのMISFETで独立に調整してもよい。

【0061】次に、図9に示すように、メモリセル選択用MISFETQ_tのゲート電極8A(ワード線WL)およびnチャネル型MISFETQ_nのゲート電極8Bの各側壁にサイドウォールスペーサ11を形成する。サイドウォールスペーサ11は、CVD法で堆積した窒化

シリコン膜を異方性エッチングで加工して形成する。次いで、周辺回路（PC）のp型ウエル2にn型不純物（P）をイオン注入してnチャネル型MISFETQnのn⁺型半導体領域13をサイドウォールスペーサ11に対して自己整合（セルフアライン）で形成する。周辺回路（PC）を構成するnチャネル型MISFETQnのソース領域、ドレイン領域は、必要に応じてそれらの一方または両方をシングルドレイン構造や二重拡散ドレイン（Double Diffused Drain）構造などで構成することもできる。

【0062】次に、図10に示すように、メモリセル選択用MISFETQtのゲート電極8A（ワード線WL）およびnチャネル型MISFETQnのゲート電極8Bの上部にCVD法で酸化シリコン膜17とBPSG膜18とを堆積した後、化学的機械研磨（Chemical Mechanical Polishing; CMP）法でBPSG膜18を研磨することにより、その表面を平坦化する。

【0063】次に、図11に示すように、BPSG膜18上にCVD法で多結晶シリコン膜28を堆積した後、フォトレジストをマスクにして多結晶シリコン膜28をエッチングし、次いで多結晶シリコン膜28をマスクにしてBPSG膜18、酸化シリコン膜17およびゲート酸化膜7をエッチングすることにより、メモリセル選択用MISFETQtのソース領域、ドレイン領域の一方（n型半導体領域9）の上部に接続孔21を形成し、他方（n型半導体領域9）の上部に接続孔22を形成する。

【0064】このとき、メモリセル選択用MISFETQtのゲート電極8A（ワード線WL）の上部に形成された窒化シリコン膜10と側壁に形成された窒化シリコンのサイドウォールスペーサ11は、酸化シリコン系の絶縁膜（BPSG膜18、酸化シリコン膜17およびゲート酸化膜7）とはエッチング速度が異なるので、ほとんどエッチングされずに残る。すなわち、接続孔21、22を形成するためのドライエッチングに用いるガスは、酸化シリコン膜のエッチングレートは高いが、窒化シリコン膜のエッチングは低い。これにより、n型半導体領域9に接する領域が上記フォトレジストのマスクを形成するのに用いた露光の解像度よりも小さい径で構成される微細な接続孔21、22をサイドウォールスペーサ11に対して自己整合（セルフアライン）で形成できるので、メモリセルサイズを縮小することができる。

【0065】次に、図12に示すように、接続孔21、22の内部に多結晶シリコンのプラグ20を埋め込む。このプラグ20は、多結晶シリコン膜28の上部にCVD法で多結晶シリコン膜を堆積した後、BPSG膜18の上部の多結晶シリコン膜をエッチバックで除去して形成する。このとき、エッチングのマスクに用いた多結晶シリコン膜28も同時に除去する。プラグ20を構成する多結晶シリコン膜にはn型の不純物（P）がドーブさ

れる。この不純物は、接続孔21、22を通じてメモリセル選択用MISFETQtのn型半導体領域9、9（ソース領域、ドレイン領域）に拡散するため、周辺回路（PC）のnチャネル型MISFETQnのn型半導体領域9よりも高不純物濃度のn型半導体領域9が形成される。

【0066】次に、図13に示すように、BPSG膜18の上部にCVD法で酸化シリコン膜19を堆積した後、フォトレジストをマスクにしたエッチングで接続孔21の上部の酸化シリコン膜19を除去してプラグ20を露出させた後、図14に示すように、フォトレジストをマスクにして周辺回路（PC）の酸化シリコン膜19、BPSG膜18、酸化シリコン膜17およびゲート酸化膜7をエッチングすることにより、nチャネル型MISFETQnのソース領域、ドレイン領域の一方（n⁺型半導体領域13）の上部に接続孔23を形成し、他方（n⁺型半導体領域13）の上部に接続孔24を形成する。

【0067】次に、図15に示すように、接続孔23、24の底部に露出したnチャネル型MISFETQnのn⁺型半導体領域13、13の表面と、ビット線BLが接続されるプラグ20の表面とにTiシリサイド層16を形成する。Tiシリサイド層16は、スパッタリング法で堆積したTi膜をアニールしてSi基板（n⁺型半導体領域13）および多結晶シリコン（プラグ20）と反応させた後、酸化シリコン膜19上に残った未反応のTi膜をウェットエッチングで除去して形成する。このTiシリサイド層16の形成により、nチャネル型MISFETQnのソース領域、ドレイン領域およびプラグ20とそれらに接続される配線（ビット線BL、配線30）とのコンタクト抵抗を低減することができる。

【0068】次に、図16に示すように、メモリアレイ（MARY）の酸化シリコン膜19の上部にビット線BLを形成し、周辺回路（PC）の酸化シリコン膜19の上部に第1層目の配線30を形成する。ビット線BLおよび配線30は、酸化シリコン膜19の上部にスパッタリング法でTiN膜とW膜とを堆積し、次いでその上部にCVD法で窒化シリコン膜27を堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。ビット線BLおよび配線30は、例えばTiN膜（またはWN膜）とTiシリサイド膜とを積層した2層の導電膜など、より低抵抗の材料で構成することもでき、これにより、そのシート抵抗をさらに低減することができる。

【0069】次に、図17に示すように、CVD法で堆積した窒化シリコン膜を異方性エッチングで加工してビット線BLおよび配線30の各側壁にサイドウォールスペーサ29を形成した後、ビット線BLおよび配線30の上部にSiO₂膜31をスピン塗布し、次いでその上部にCVD法で酸化シリコン膜32を堆積する。前記窒化

シリコン膜27とサイドウォールスペーサ29は、窒化シリコン膜に比べて誘電率が小さい酸化シリコン膜に代えることもできる。この場合は、ビット線B1と配線30の寄生容量を低減することができる。

【0070】次に、図18に示すように、フォトレジストをマスクにして酸化シリコン膜32およびSOG膜31をエッチングすることにより、メモリセル選択用M1SFETQ1のソース領域、ドレイン領域の他方(n型半導体領域9)の上部に形成された前記接続孔22の上部に接続孔37を形成する。

【0071】次に、図19に示すように、接続孔37の内部にWのプラグ36を埋め込んだ後、接続孔37の上部に情報蓄積用容量素子Cの蓄積電極33を形成する。プラグ36は、酸化シリコン膜32の上部にCVD法で堆積したW膜(または多結晶シリコン膜)をエッチバックして形成する。蓄積電極33は、酸化シリコン膜32の上部にスパッタリング法で堆積したW膜を、フォトレジストをマスクにしたエッチングでパターニングして形成する。プラグ36は、多結晶シリコン膜や、TiN膜とW膜との積層膜などで構成することもできる。また、蓄積電極33は、Pt、Ir、IrO₂、Rh、RhO₂、Os、OsO₂、Ru、RuO₂、Re、ReO₃、Pd、Auなどの金属膜もしくは導電性金属酸化物膜などで構成することもできる。情報蓄積用容量素子Cの容量値を大きくするためには、蓄積電極33を構成するW膜の膜厚を厚くして表面積を大きくするのが有効である。

【0072】次に、図20に示すように、蓄積電極33の上部にプラズマCVD法で酸化タンタル膜を堆積し、次いでその上部にCVD法でTiN膜を堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜をパターニングすることにより、W膜からなる蓄積電極33、酸化タンタル膜からなる容量絶縁膜34およびTiN膜からなるプレート電極35で構成された情報蓄積用容量素子Cを形成する。容量絶縁膜34は、BST((Ba, Sr)TiO₃)などの高誘電体材料や、PZT(PbZr_xTi_{1-x}O₃)、PLT(PbLa_xTi_{1-x}O₃)、PLZT、PbTiO₃、SrTiO₃、BaTiO₃、PbZrO₃、LiNbO₃、Bi₄Ti₃O₁₂、BaMgF₄、Y₁系(SrBi₂(Nb, Ta)₂O₉)などの強誘電体材料で構成することもできる。またプレート電極35は、Wシリサイド/TiN、Ta、Cu、Ag、Pt、Ir、IrO₂、Rh、RhO₂、Os、OsO₂、Ru、RuO₂、Re、ReO₃、Pd、Auなどの金属膜もしくは導電性金属酸化物膜などで構成することもできる。

【0073】プレート電極35は、TiN膜(35Å)で構成されるので、その膜厚をあまり厚くするとTiN膜にクラックが入ったり、下層の容量絶縁膜34にストレスが加わって特性が劣化したりする虞れがある。従っ

て、TiN膜は、比較的薄い膜厚(0.2μm程度)とするのがよい。

【0074】次に、図21に示すように、情報蓄積用容量素子Cの上部にCVD法で酸化シリコン膜38を堆積し、次いでその上部にSOG膜39をスピンド塗りし、さらにその上部にCVD法で酸化シリコン膜40を堆積することにより、情報蓄積用容量素子Cを形成することによって生じたメモリアレイ(MARY)と周辺回路(PC)との間の段差を緩和する。続いて、フォトレジストをマスクにしてこの層間絶縁膜(酸化シリコン膜40、SOG膜39および酸化シリコン膜38)をエッチングすることにより、情報蓄積用容量素子Cのプレート電極35の上部に接続孔42を形成する。

【0075】次に、図22に示すように、接続孔42の内部にWのプラグ44を埋め込んだ後、酸化シリコン膜40の上部に配線41A、41Bおよび配線(ダミー配線)41C~41Gを形成する。プラグ44は、酸化シリコン膜40の上部にCVD法で堆積したW膜をエッチバックして形成する。また、配線41A~41Gは、酸化シリコン膜40の上部にスパッタリング法でTiN膜、Al合金膜およびTiN膜を堆積した後、フォトレジストをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。配線41A~41Gは、TiN膜とCu膜との積層膜などで構成することもできる。

【0076】次に、図23、図24に示すように、配線41A~41Gの上部にCVD法で酸化シリコン膜46を堆積し、次いでその上部にSOG膜47をスピンド塗りした後、図25、図26に示すように、メモリアレイ(MARY)、周辺回路(PC)およびパッド形成領域において、配線41A~41Gの上部の酸化シリコン膜46の表面が露出するまでSOG膜47をエッチバックする。すなわち、配線(ダミー配線)41C~41Gは、メモリアレイ(MARY)において、配線41A、41B間スペースに生じた凹部にSOG膜47が埋め込まれるのと同様に、パッド形成領域において、配線41C~41G間スペースに生じた凹部にSOG膜47が埋め込まれるように配置される。

【0077】ここで、配線41C~41Gの膜厚を350nm、配線41C~41Gの上部に堆積する酸化シリコン膜46の膜厚を平坦部で180nm、配線41C~41Gの上部で350nm、SOG膜47の膜厚を250nm、エッチバック量を160nmとした場合、配線41C~41Gを設けないと、ボンディングパッドBPの下部には単純見積もりで250-160=90nmのSOG膜47が残ることになる。従って、この状態でボンディングパッドBPを形成すると、ボンディングパッドBPが強いストレスを受けた際にSOG膜47との界面で剥離が生じ易くなる。

【0078】その対策として、ボンディングパッドBP

の下部に配線41C~41Gを形成したときに、配線41C~41Gの上部に90nmのSOG膜47が残らないようにするためには、配線41C~41Gに適当なスペースを設け、その内部にSOG膜47を埋め込む必要がある。

【0079】酸化シリコン膜46の膜厚を上記のように平坦部で180nm、配線41C~41Gの上部で350nmとした場合、図27に示すように、配線41C~41Gのスペースには520nmの段差が生じる。このときの配線41C~41Gのスペースをa、幅をbとすると、配線41C~41Gの上部にSOG膜47が残らないようにするためには、

$$520 \times a > (250 - 160) \times (a + b)$$

すなわち、 $b/a < 4.78$ となるようにa、bを規定して配線41C~41GのスペースにSOG膜47を埋め込めばよい。

【0080】従って、例えば配線41C~41Gのスペース(a)を1 μ m、幅(b)を2 μ mとすれば $b/a < 3.7$ となり、上記の条件($b/a < 4.56$)を満たすので、配線41C~41Gの上部にはSOG膜47が残らない。

【0081】また、配線41C~41Gの膜厚を例えば610nmとした場合には、配線41C~41Gのスペース(a)に生じる段差が780nmとなるため、上記と同様の計算から、 $b/a < 7.7$ となるようにa、bを規定することにより、配線41C~41Gの上部にSOG膜47が残らないようにすることができる。従って、例えば配線41C~41Gのスペース(a)を1 μ m、幅(b)を4 μ mとすれば $b/a < 6.8$ となり、上記の条件($b/a < 7.7$)を満たすため、配線41C~41Gの上部にはSOG膜47が残らない。配線41C~41Gの膜厚が変わっても、同様の考え方で線41C~41Gのスペース(a)および幅(b)を規定することにより、配線41C~41Gの上部にSOG膜47が残らないようにすることができる。

【0082】これにより、ボンディングパッドBPの下部において、同じ材料である酸化シリコン膜46と(後に堆積する)酸化シリコン膜48とが直接界面を接する面積比が大きく(例えばパッド面積の87%程度)確保され、層間絶縁膜の接着力が高くなるので、ボンディングパッドBPが強いストレスを受けた場合でもSOG膜47との界面で剥離が生じ難くなる。

【0083】次に、図28、図29に示すように、配線41A~41Gの上部を覆う層間絶縁膜の最上層である酸化シリコン膜48をCVD法で堆積した後、層間絶縁膜(酸化シリコン膜46、SOG膜47、酸化シリコン膜48)をエッチングして配線41Bの上部に接続孔26を形成し、続いてこの接続孔26にWのプラグ43を埋め込んだ後、層間絶縁膜(酸化シリコン膜48)の上部に配線45およびボンディングパッドBPを形成す

る。プラグ43は、酸化シリコン膜48の上部にCVD法で堆積したW膜をエッチバックして形成する。また、配線45およびボンディングパッドBPは、酸化シリコン膜48の上部にスパッタリング法でTiN膜、Al合金膜およびTiN膜を堆積した後、フォトリソをマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。配線45およびボンディングパッドBPは、TiN膜とCu膜との積層膜などで構成することもできる。

【0084】その後、ボンディングパッドBPの上部に酸化シリコン膜と窒化シリコン膜の2層膜をCVD法で堆積してパッシベーション膜49を形成した後、フォトリソをマスクにしたエッチングでボンディングパッドBPの上部のパッシベーション膜49を除去してボンディングパッドBPを露出させることにより、前記図3、図4に示した本実施の形態のDRAMが完成する。

【0085】次に、上記DRAMが形成された半導体チップ1AをTCP(テープキャリアパッケージ)に封止する方法を図30~図37を用いて説明する。

【0086】TCPを製造するには、まず、図30に示すような絶縁テープ50を用意する。この絶縁テープ50は、厚さ50 μ m程度のポリイミド樹脂からなり、その中央部には、半導体チップ1Aが配置される矩形のデバイスホール51が形成されている。このデバイスホール51の2つの長辺に沿った領域には、絶縁テープ50の片面に接着した薄いCu箔をエッチングして形成したリード52が配置されており、そのインナーリード部52aがデバイスホール51内に延在している。絶縁テープ50は、実際には長さ数10メートルの長尺テープであるが、図にはその一部(TCP3個分)のみを示してある。

【0087】一方、半導体チップ1AのボンディングパッドBP上には、TCPの組み立てに先立ってバンパ電極を形成する。バンパ電極を形成するには、まず、図31に示すように、230℃程度に加熱した半導体チップ1AのボンディングパッドBP上にキャピラリー56を使ってAuボール53Aをワイヤボンディングする。このとき、ボンディングパッドBPには45g程度の荷重が加わる。

【0088】次に、図32に示すように、底部が平坦なツール54を半導体チップ1Aの上方からAuボール53Aに押し付けてその表面を平坦化することにより、バンパ電極53を形成する。このとき、ボンディングパッドBPに加わる荷重は90g程度である。

【0089】次に、前記絶縁テープ50の片面に形成したリード52のインナーリード部52aをバンパ電極53上に位置決めした後、図33に示すように、約500℃に加熱したツール54をインナーリード部52aに1秒程度圧着することにより、図34に示すように、すべてのリード52のインナーリード部52aを半導体チッ

プ1 Aの対応するボンディングパッドBP上に同時に一括してボンディングする。このとき、ボンディングパッドBPに加わる荷重は80 g程度である。

【0090】このように、本実施の形態のTCPの製造工程では、半導体チップ1 AのボンディングパッドBP上にパンプ電極5 3を形成し、次いでこのパンプ電極5 3上にリード5 2のインナーリード部5 2 aをボンディングする際にボンディングパッドBPに3回の衝撃が加わるが、前述したように、ボンディングパッドBPの下部の層間絶縁膜を構成する3層膜（酸化シリコン膜4 6、SOG膜4 7、酸化シリコン膜4 8）のうち、酸化シリコン膜4 6、4 8に対する接着性が比較的低いSOG膜4 7の占有面積を減らし、同じ材料である酸化シリコン膜4 6、4 8同士が直接接触する面積を増やすことによって、膜の接着性を向上させているので、ボンディングパッドBPの剥離を有効に防止することができる。また、半導体チップ1 Aのメモリアレイ（MARY）においても酸化シリコン膜4 6、4 8同士が直接接触する面積が大きく、酸化シリコン膜4 6、4 8とSOG膜4 7とが接触する面積は小さい。

【0091】半導体チップ1 AのボンディングパッドBP上にパンプ電極5 3を形成するときは、図3 5に示すように、特定のボンディングパッドBP上にだけパンプ電極5 3を形成しないでおく。パンプ電極5 3を形成しないボンディングパッドBPの位置は、半導体チップ1 Aと他の半導体チップ1 Bとで異ならせておく。

【0092】次に、図3 6に示すように、半導体チップ1 Aの主面と側面とをポッティング樹脂5 5で封止する。半導体チップ1 Aを樹脂封止するには、ディスペンサなどを使って半導体チップ1 Aの主面にシンナーで希釈したポッティング樹脂5 5を塗布した後、熱処理を行ってポッティング樹脂5 5を硬化させる。半導体チップ1 Aは、モールド樹脂で封止してもよい。

【0093】次に、絶縁テープ5 5およびリード5 2の不要箇所を切断・除去した後、図3 7に示すように、リード5 2のアウターリード部5 2 bを基板実装が可能な形状に成形することにより、TCPが完成する。アウターリード部5 2 bは、TCPの実装環境に応じて、半導体チップ1 Aの主面側に折り曲げたり、裏面側に折り曲げたりする。リード5 2のアウターリード部5 2 bには、成形に先立って半田メッキを施しておく。

【0094】図3 8に示すように、TCPをモジュール基板6 0に実装するには、リード5 2のアウターリード部5 2 bをモジュール基板6 0の電極6 1上に位置決めした後、アウターリード部5 2 bの表面の半田メッキを加熱炉内でリフローさせる。このとき、半導体チップ1 Aを実装したTCPと他の半導体チップ1 Bを実装したTCPのそれぞれのアウターリード部5 2 bの折り曲げ形状を変えることにより、積層メモリモジュールを容易に実現することができる。

【0095】この積層メモリモジュールは、前述したように、パンプ電極5 3を形成しないボンディングパッドBPの位置が半導体チップ1 Aと他の半導体チップ1 Bとで異なるので、特定のボンディングパッドBP上のパンプ電極5 3の有無によって、容易にチップセレクトを行うことができる。この場合、例えば図3 9に示すように、パンプ電極5 3を形成しないボンディングパッドBPに対応するリード5 2には、インナーリード部5 2 aを形成しないようにしてもよい。

【0096】このように、本実施の形態のTCPによれば、半導体チップ1 AのボンディングパッドBP上にパンプ電極5 3を形成し、次いでこのパンプ電極5 3上にリード5 2のインナーリード部5 2 aをボンディングする工程でボンディングパッドBPに衝撃が加わった際に、ボンディングパッドBPの下部の層間絶縁膜（酸化シリコン膜4 6、SOG膜4 7、酸化シリコン膜4 8）の接着性の低下を抑制してボンディングパッドBPの剥離を防止することができる。

【0097】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0098】前記実施の形態では、ボンディングパッドの下部の配線（ダミー配線）を所定のピッチでストライプ状に配置したが、例えば図4 0に示すように、これらの配線（ダミー配線）4 1 C～4 1 Gを所定のピッチで島状に配置してもよい。また、SOG膜をエッチバックしたときに少なくとも配線（ダミー配線）上にSOG膜が残らないようなパターンであれば、ストライプ状や島状のパターンに限定されない。

【0099】また、例えば図4 1に示すように、ボンディングパッドの下部の配線（ダミー配線）4 1 C～4 1 Gのさらに下層に配線（ダミー配線）3 0 Aを配置してもよい。このようにすると、配線（ダミー配線）4 1 C～4 1 Gの下地の標高が他の領域に比べて高くなるため、SOG膜4 7をスピン塗布した時に配線（ダミー配線）4 1 C～4 1 G上のSOG膜4 7の膜厚を薄くできる。従って、SOG膜4 7をエッチバックするときに、配線（ダミー配線）4 1 C～4 1 G上のSOG膜4 7を短時間で取り除くことができる。

【0100】なお、図4 1は、配線（ダミー配線）4 1 C～4 1 Gの下層の配線（ダミー配線）3 0 Aをビット線BLおよび配線3 0と同層の配線で構成した場合について示してあるが、例えばゲート電極8 A、8 B、蓄積電極（下部電極）3 3またはプレート電極（上部電極）3 5などと同層の配線で構成することもできる。またその際、配線（ダミー配線）4 1 C～4 1 Gの下層に2層以上の配線（ダミー配線）を配置してもよい。さらに、ボンディングパッドの下部に形成する配線は、必ずしも電氣的にフローティング状態のダミー配線である必要は

なく、実際の配線の一部を延長したり分岐したりしてボンディングパッドの下部に配置してもよい。

【０１０１】前記実施の形態では、DRAMを形成した半導体チップをTCPに封止する場合について説明したが、本発明は、少なくともボンディングパッドの下部にSOG膜を含む層間絶縁膜を形成した半導体チップをTCPに封止する場合に適用することができる。

【０１０２】また、本発明はTCPに限らず、少なくとも半導体チップのボンディングパッド上に形成したバンプ電極を介してリードとボンディングパッドを電気的に接続するLSIパッケージに適用することができる。

【０１０３】さらに、本発明はSOG膜を含む層間絶縁膜に限らず、一般に異なる絶縁材料を積層して形成した層間絶縁膜上にボンディングパッドを形成し、このボンディングパッド上に形成したバンプ電極を介してボンディングパッドとリードとを電気的に接続するLSIパッケージに適用することができる。

【０１０４】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【０１０５】本発明によれば、SOG膜を含んだ絶縁膜を使って上下の配線間を平坦化した半導体チップをTCPに封止する工程で生じるボンディングパッドの剥離を有効に防止することができるので、TCP

、特に「後工

程バンプ方式」で製造されるTCPの信頼性および製造歩留まりを向上させることができる。

【０１０６】本発明によれば、半導体チップの主面上に配線を形成する工程で同時にボンディングパッドの下層にダミーの配線を形成するので、前工程（ウエハプロセス）の工程数を増やすことなく、上記した効果を得ることができる。

【図面の簡単な説明】

【図１】本発明の実施の形態であるDRAMを形成した半導体チップの全体平面図である。

【図２】本発明の実施の形態であるDRAMを形成した半導体チップの拡大平面図である。

【図３】本発明の実施の形態であるDRAMを形成した半導体チップの要部断面図である。

【図４】本発明の実施の形態であるDRAMを形成した半導体チップの要部断面図である。

【図５】ボンディングパッドとその下部の配線（ダミー配線）のパターンを示す平面図である。

【図６】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図７】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図８】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図９】本発明の実施の形態であるDRAMの製造方法

を示す半導体基板の要部断面図である。

【図１０】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図１１】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図１２】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図１３】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図１４】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図１５】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図１６】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図１７】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図１８】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図１９】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図２０】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図２１】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図２２】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図２３】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図２４】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図２５】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図２６】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図２７】ボンディングパッドの下部に配置する配線（ダミー配線）の幅およびスペースの説明図である。

【図２８】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図２９】本発明の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図３０】本発明の実施の形態であるTCPの製造方法を示す斜視図である。

【図３１】本発明の実施の形態であるTCPの製造方法を示す要部断面図である。

【図３２】本発明の実施の形態であるTCPの製造方法を示す要部断面図である。

【図３３】本発明の実施の形態であるTCPの製造方法を示す要部断面図である。

【図３４】本発明の実施の形態であるTCPの製造方法

を示す要部平面図である。

【図35】本発明の実施の形態であるTCPの製造方法を示す要部平面図である。

【図36】本発明の実施の形態であるTCPの製造方法を示す斜視図である。

【図37】本発明の実施の形態であるTCPの製造方法を示す要部断面図である。

【図38】本発明の実施の形態である積層メモリモジュールを示す要部断面図である。

【図39】本発明の他の実施の形態であるTCPの製造方法を示す要部平面図である。

【図40】本発明の他の実施の形態であるボンディングパッドとその下部の配線（ダミー配線）のパターンを示す平面図である。

【図41】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図42】本発明者が検討したボンディングパッドの剥離モードを示す説明図である。

【図43】後工程バンプ方式によるTCPの製造フローの要部説明図である。

【符号の説明】

1 半導体基板

1A、1B 半導体チップ

2 p型ウエル

4 フィールド酸化膜

5 p型チャネルストッパ層

7 ゲート酸化膜

8A、8B ゲート電極

9 n型半導体領域

10 窒化シリコン膜

11 サイドウォールスペーサ

13 n⁺型半導体領域

16 Tiシリサイド層

17 酸化シリコン膜

18 BPSG膜

19 酸化シリコン膜

20 プラグ

21～24 接続孔

26 接続孔

27 窒化シリコン膜

28 多結晶シリコン膜

29 サイドウォールスペーサ

30 配線

30A 配線（ダミー配線）

31 SOG膜

32 酸化シリコン膜

33 蓄積電極（下部電極）

34 容量絶縁膜

35 プレート電極（上部電極）

36 プラグ

37 接続孔

38 酸化シリコン膜

39 SOG膜

40 酸化シリコン膜

41A、41B 配線

41C～41G 配線（ダミー配線）

42 接続孔

43 プラグ

44 プラグ

45 配線

46 酸化シリコン膜

47 SOG膜

48 酸化シリコン膜

49 パッシベーション膜

50 絶縁テープ

51 デバイスホール

52 リード

52a インナーリード部

52b アウターリード部

53 バンプ電極

53A Auボール

54 ツール

55 ポッティング樹脂

56 キャピラリ

60 モジュール基板

61 電極

100 SOG膜

101 酸化シリコン膜

102 バンプ電極

102A Auボール

103 ツール

104 リード

BL ビット線

BP ボンディングパッド

C 情報蓄積容量素子

MARY メモリアレイ

MM メモリマット

PC 周辺回路

Qn nチャネル型MISFET

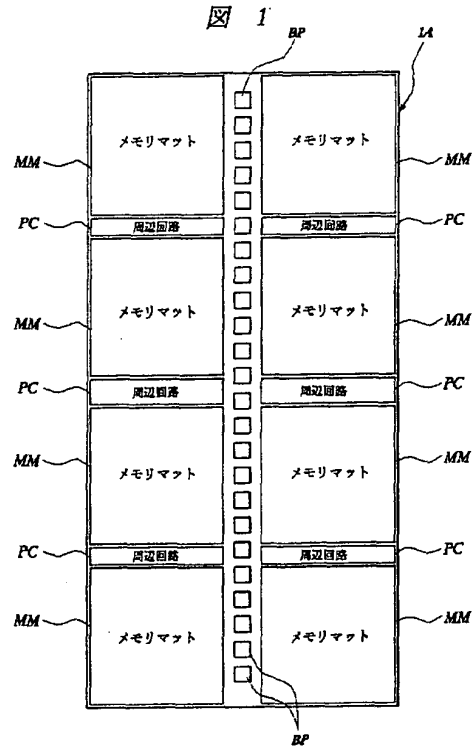
Qt メモリセル選択用MISFET

SA センスアンプ

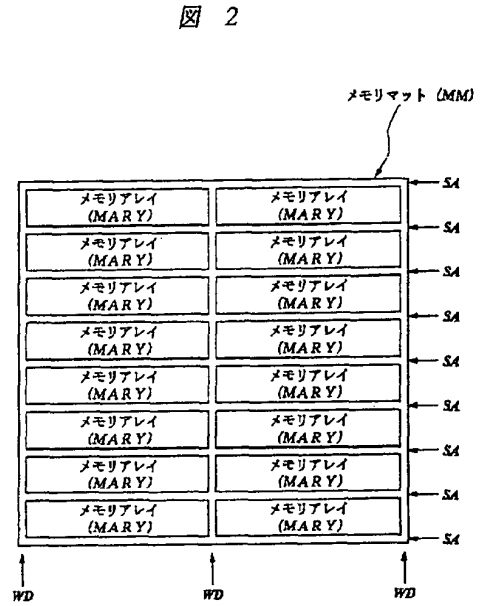
WD ワードドライバ

WL ワード線

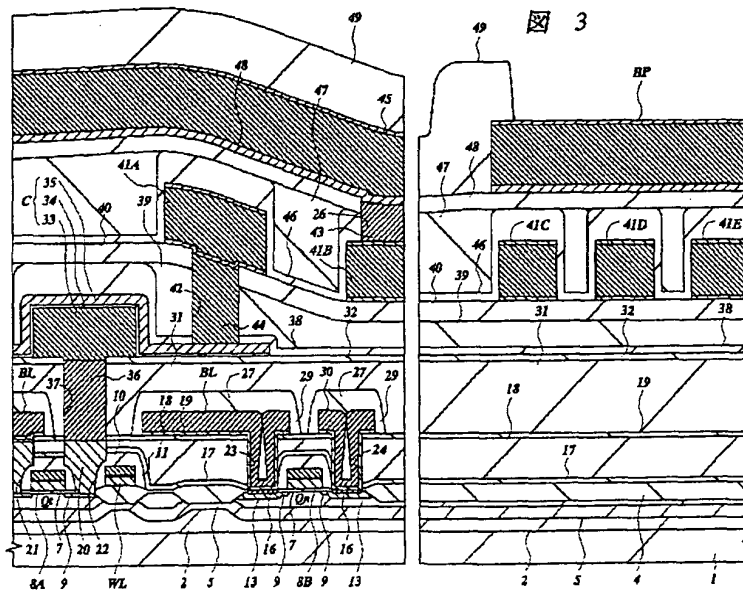
【図1】



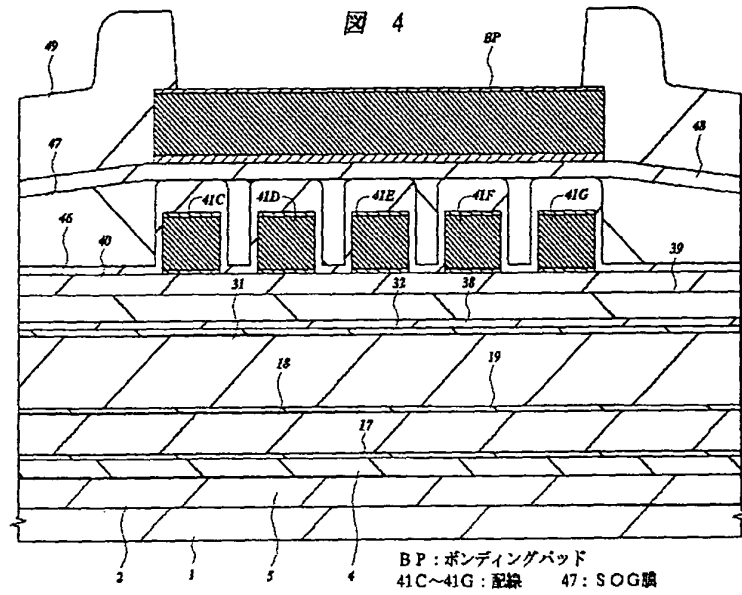
【図2】



【図3】

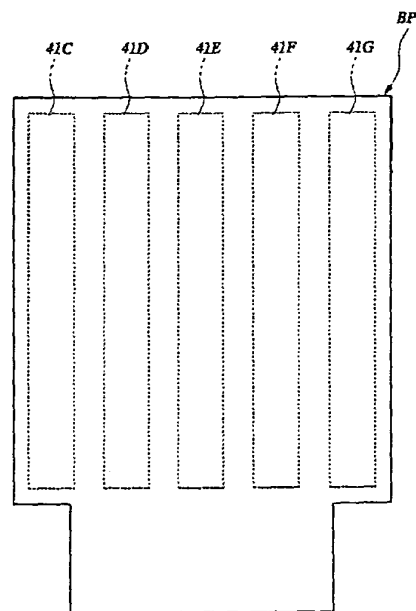


【図4】



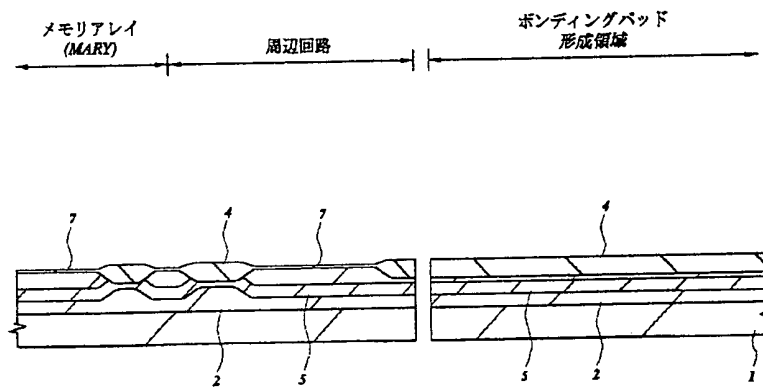
【図5】

図 5



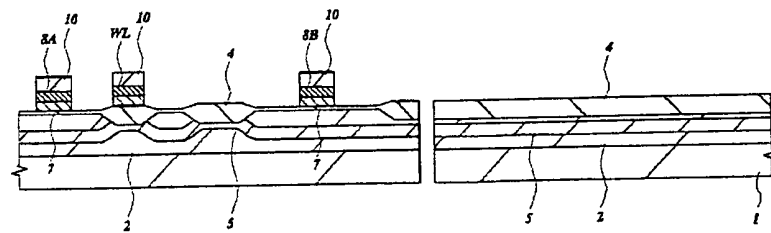
【図6】

図 6



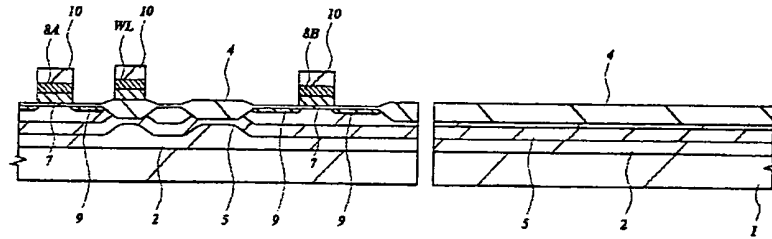
【図7】

図 7



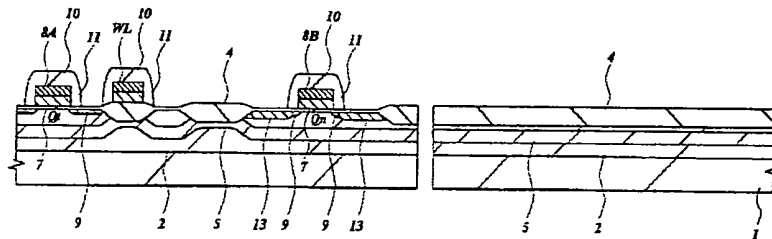
【図8】

図 8



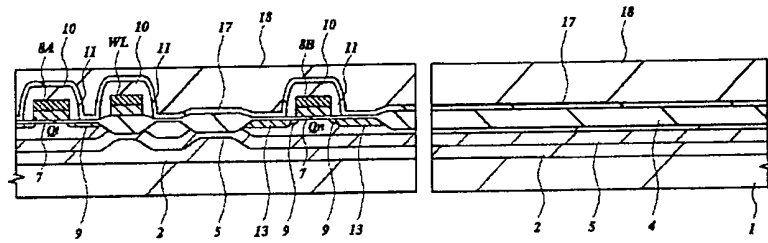
【図9】

図 9



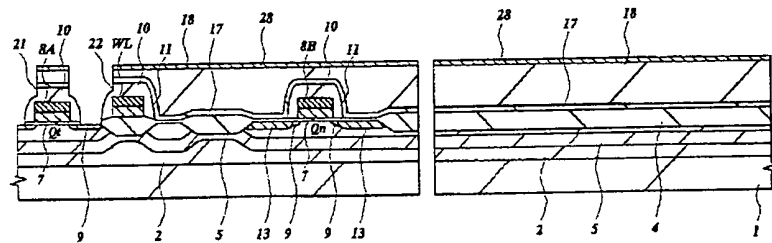
【図10】

図 10



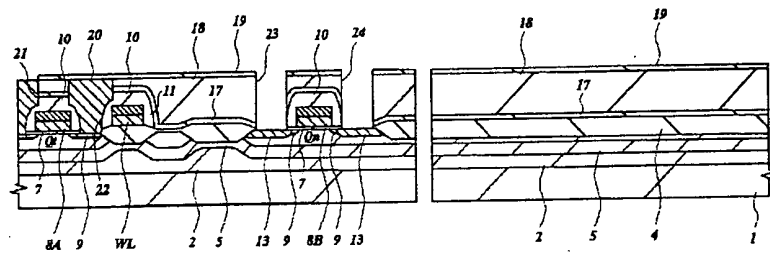
【図11】

図 11



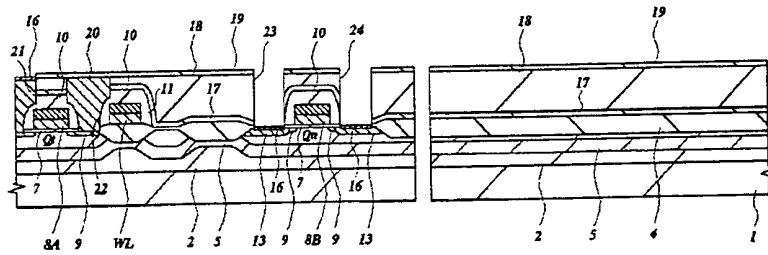
【図14】

図 14



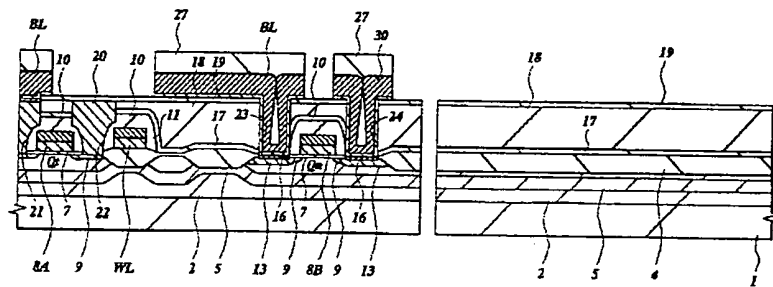
【図15】

図 15



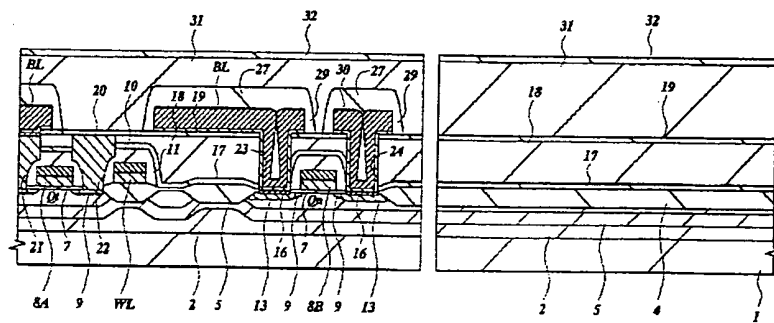
【図16】

図 16



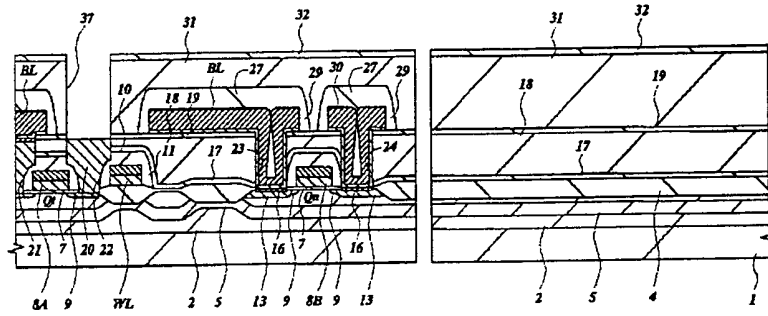
【図17】

図 17



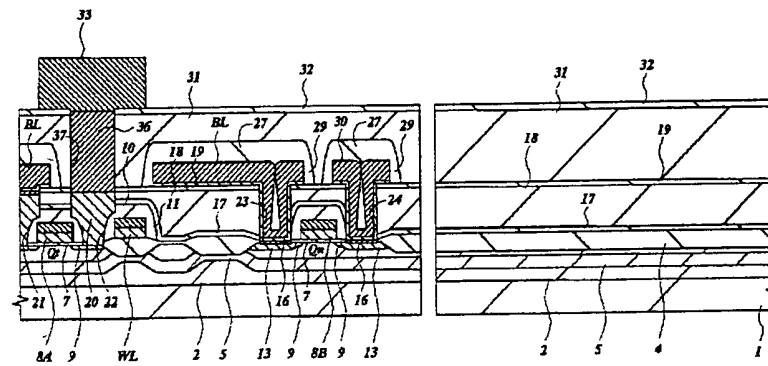
【図18】

図 18



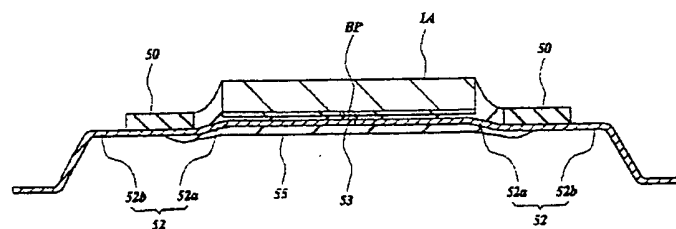
【図19】

図 19



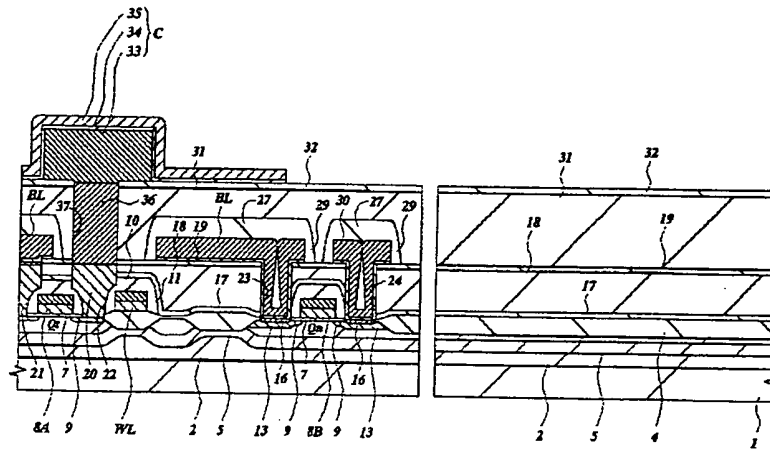
【図37】

図 37



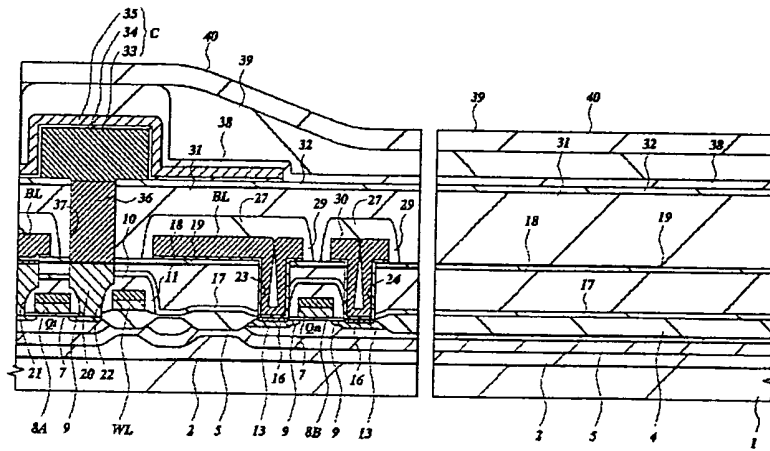
【図20】

図 20



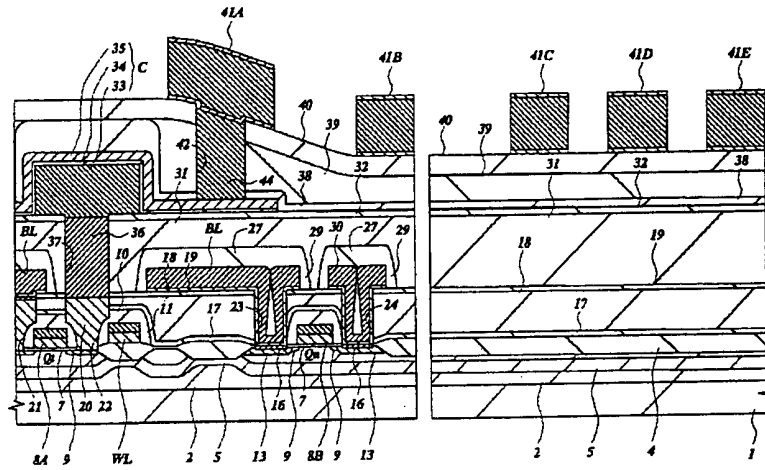
【図21】

図 21



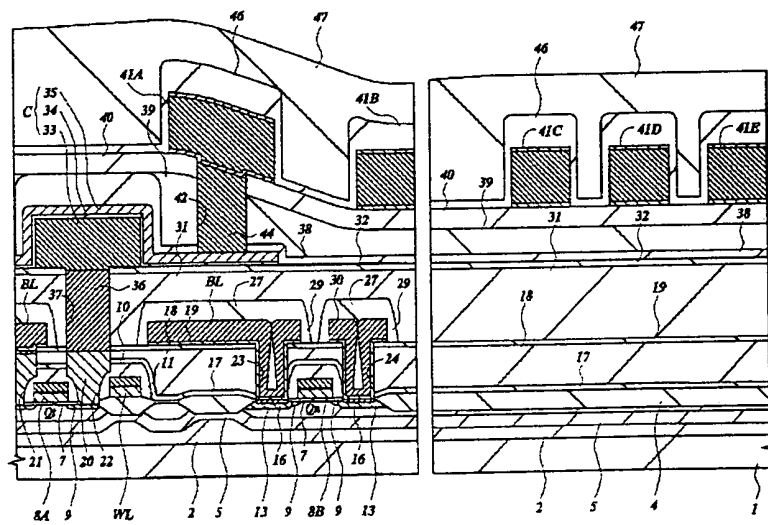
【図 22】

図 22



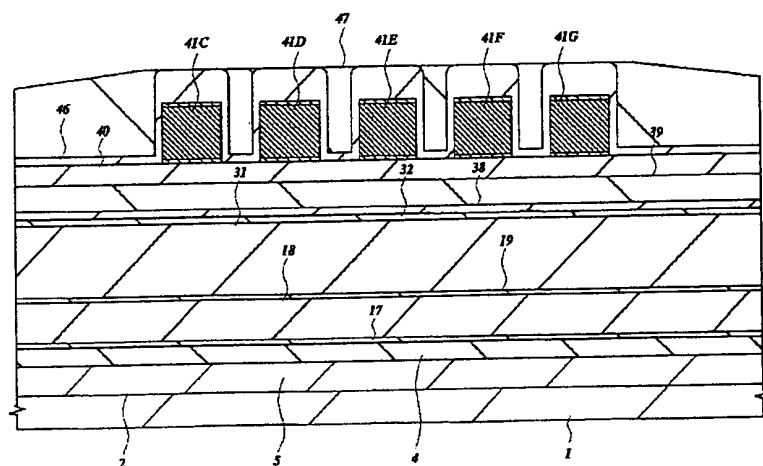
【図 23】

図 23



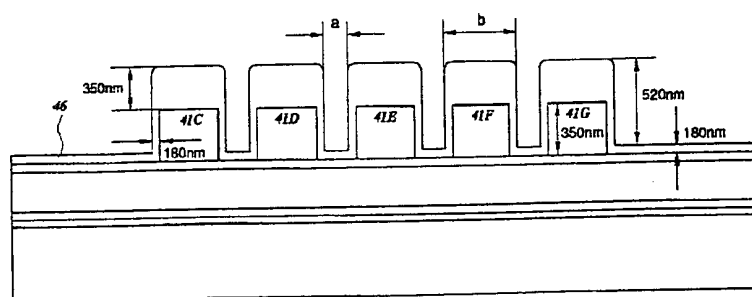
【図26】

図 26

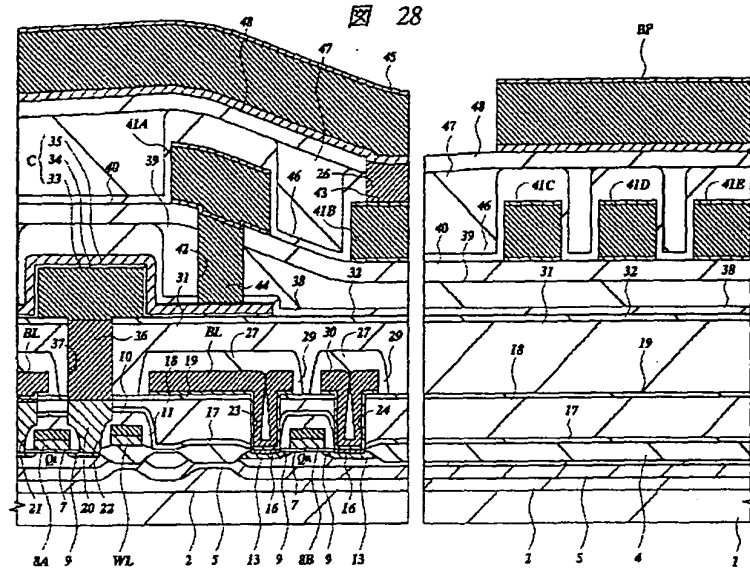


【図27】

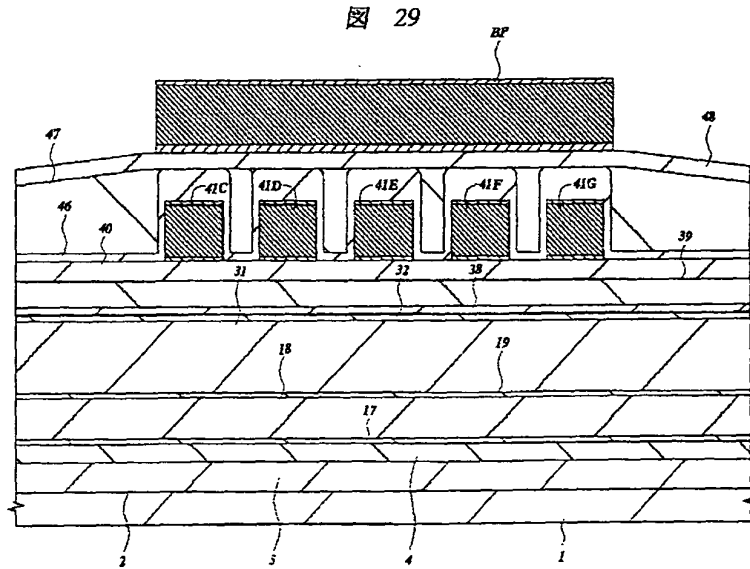
図 27



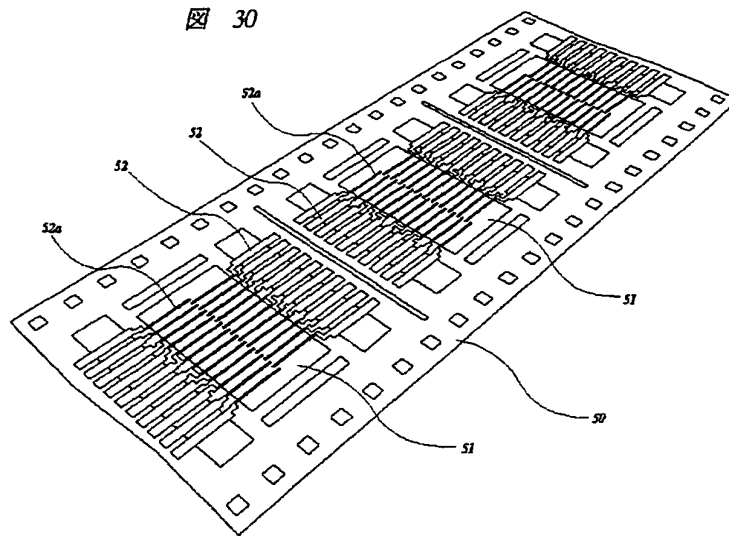
【図28】



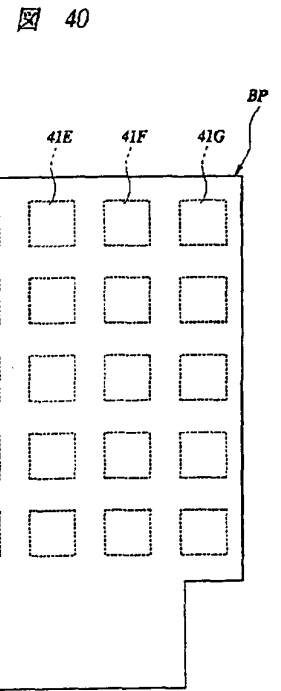
【図29】



【図30】

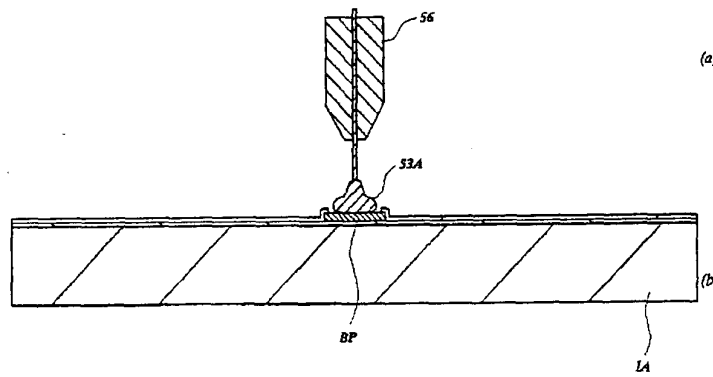


【図40】



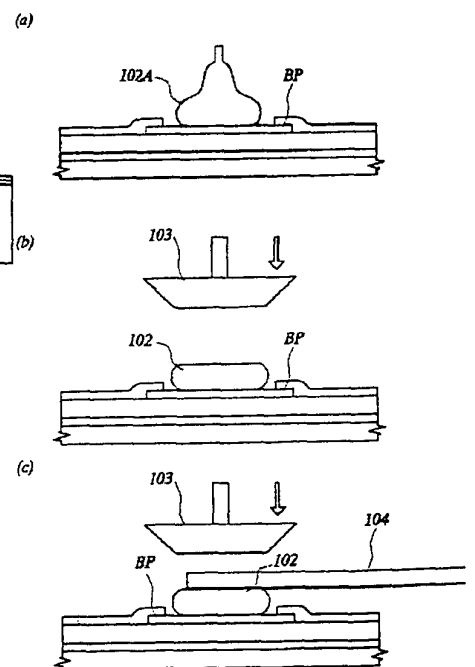
【図31】

図 31



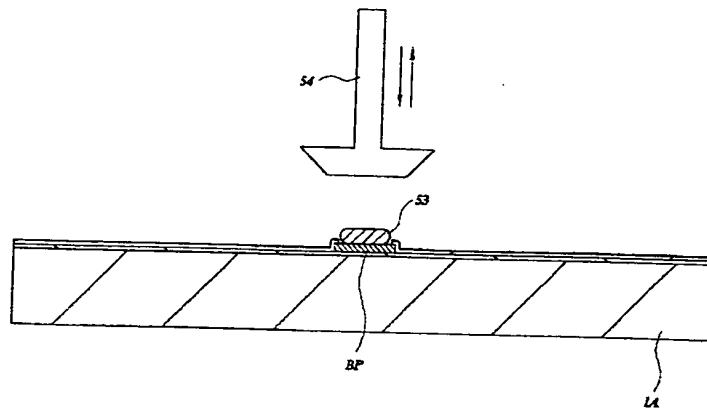
【図43】

図 43



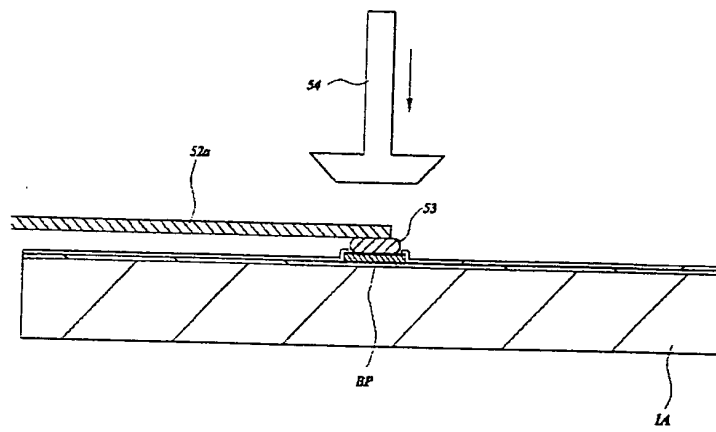
【図 3 2】

図 32



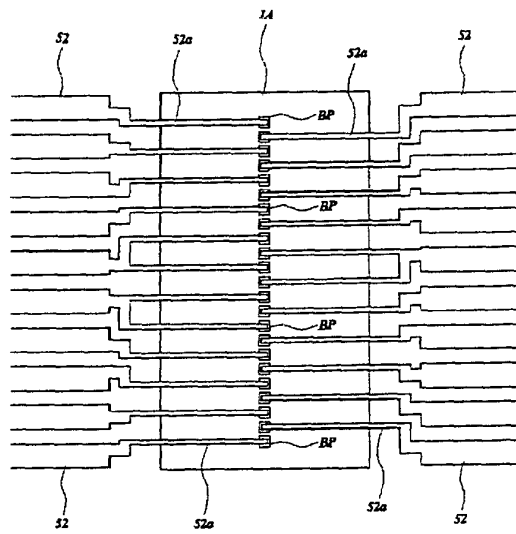
【図 3 3】

図 33



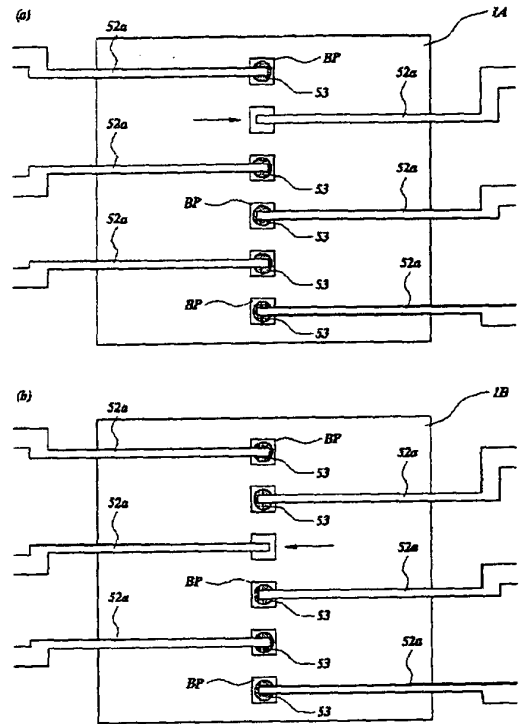
【図34】

図 34



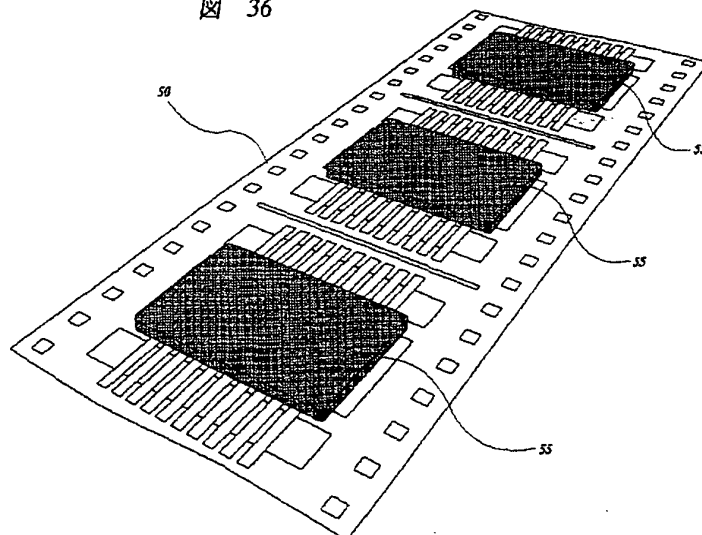
【図35】

図 35



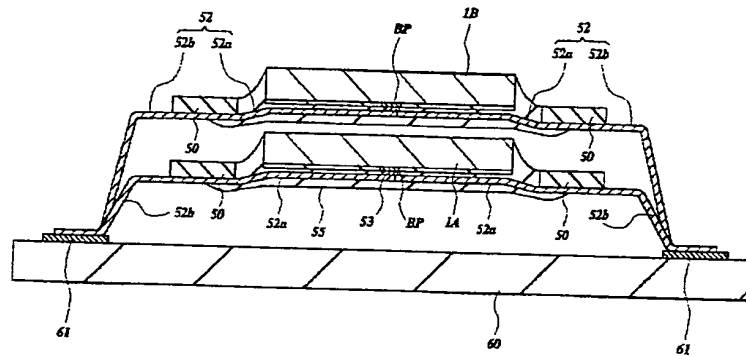
【図36】

図 36



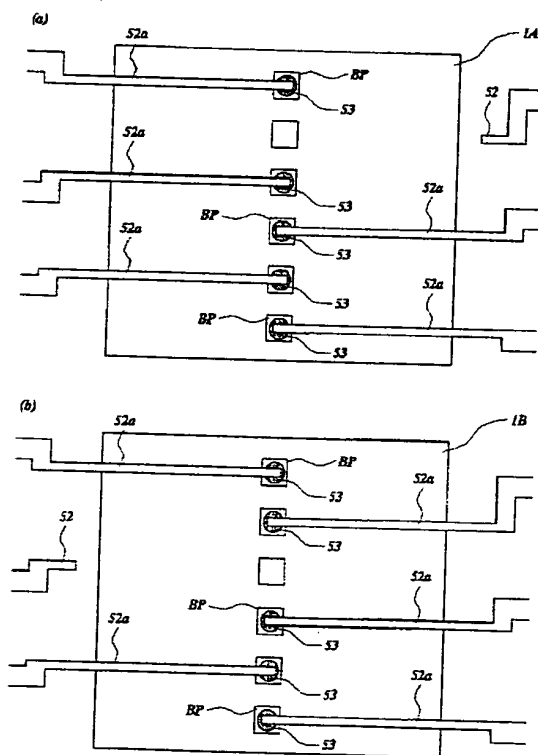
【図38】

図 38



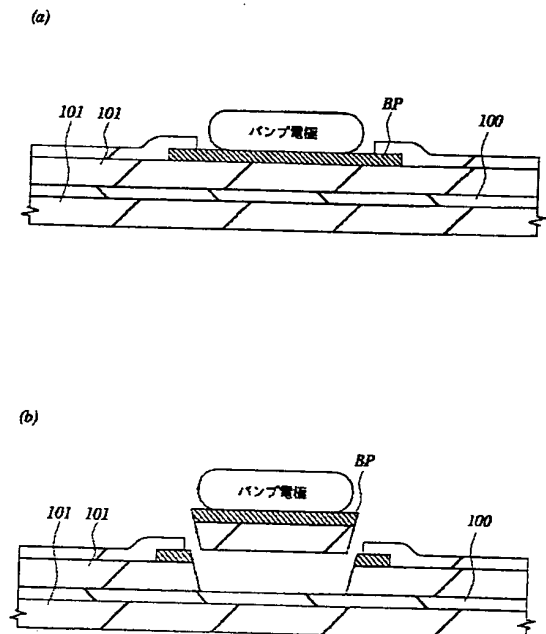
【図39】

図 39

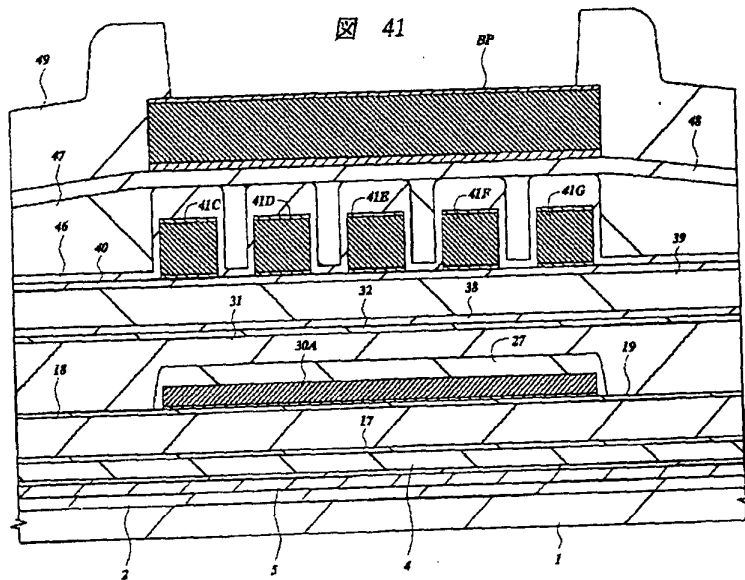


【図42】

図 42



【図41】



フロントページの続き

(51) Int. Cl.⁶
H01L 21/8247
29/788
29/792

識別記号

F I
H01L 27/10
29/78

681F
681C
371

